

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268920

(43)Date of publication of application : 22.09.1994

(51)Int.Cl.

H04N 5/335

(21)Application number : 05-053894

(71)Applicant : CANON INC

(22)Date of filing : 15.03.1993

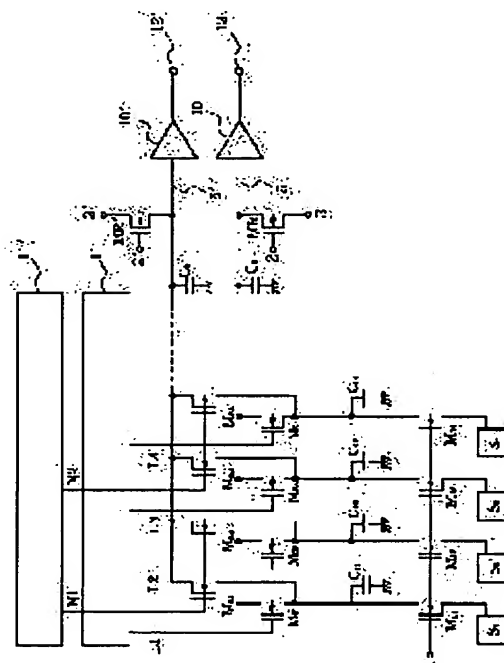
(72)Inventor : UENO TOSHITAKE
MIYAWAKI MAMORU

(54) SIGNAL PROCESSING UNIT

(57)Abstract:

PURPOSE: To provide a signal processing unit with a small size at a low cost in which the processing speed is improved with a simple circuit configuration.

CONSTITUTION: Signal latch means C11-C14 latching output signals from plural signal sources S1-S4 are provided with signal mixer means M31-M34 mixing at least two of plural latched signals or over to output plural mixed signals. Since the mixed signals less than the number of the signal sources S1-S4 are obtained, the processing speed is increased by the decreased signal number. In this case, since the mixed signal corresponds to each signal of the plural signal sources S1-S4, the information is processed without destruction substantially.



LEGAL STATUS

| | |
|-------------------------------------------------------------------------------------------------------------------------------|------------|
| [Date of request for examination] | 15.12.1998 |
| [Date of sending the examiner's decision of rejection] | 04.09.2001 |
| [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration] | |
| [Date of final disposal for application] | |
| [Patent number] | 3437208 |
| [Date of registration] | 06.06.2003 |
| [Number of appeal against examiner's decision of rejection] | 2001-17809 |
| [Date of requesting appeal against examiner's decision of rejection] | 04.10.2001 |
| [Date of extinction of right] | |

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The signal processor characterized by to have a signal mixing means output the mixed signal with which at least two or more independent output signals were mixed in the signal processor which has two or more signal maintenance means for holding the output signal from two or more sources of a signal and these sources of a signal among the output signals held at said two or more signal maintenance means, and plurality became independent.

[Claim 2] Said signal maintenance means is a signal processor according to claim 1 which is a capacitative element.

[Claim 3] Said signal maintenance means is a signal processor according to claim 1 which is a variable-capacity component.

[Claim 4] Said source of a signal is a signal processor according to claim 1 which is an optoelectric transducer.

[Claim 5] The signal processor according to claim 1 with which amplifier intervenes between said source of a signal, and said signal maintenance means.

[Claim 6] Said amplifier is a signal processor including the circuit which takes the difference of said output signal and reference signal from said corresponding source of a signal according to claim 5.

[Claim 7] In the signal processor which has two or more signal maintenance means for holding the output signal from at least four sources of a signal, and this source of a signal The signal mixing means for mixing at least two or more independent output signals among the output signals held at said two or more signal maintenance means, and outputting at least two or more mixed signals, The signal processor characterized by providing the individual signal output means for outputting the output signal from said two or more sources of a signal according to an individual, respectively.

[Claim 8] Said individual signal output means is a signal processor including the switch formed for said every signal maintenance means, and a scanning circuit according to claim 7 including the switch said whose signal mixing means connects said at least two signal maintenance means, and a scanning circuit.

[Claim 9] The signal processor according to claim 7 characterized by choosing the individual signal which should be outputted with said individual signal output means based on the information acquired by said signal mixing means.

[Claim 10] The signal processor according to claim 7 which outputs the individual signal from the source of a signal of a predetermined number among said two or more sources of a signal based on this mixed signal after outputting the mixed signal from said two or more sources of a signal of all with said signal mixing means.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is [0002] about the signal processor which processes two or more individual signals used for an information storage device, a photoelectrical inverter, etc.

[Description of the Prior Art] In the semiconductor memory and image sensors which are represented by the read only memory (ROM), a configuration which outputs the output signal from a source of a signal like a memory cell or a photo cell to a time series target outside one by one by the X-Y addressing method by the vertical scanning and horizontal scanning using a shift register is adopted.

[0003] An example of such a conventional signal processor is explained. Drawing 1 and drawing 2 are conventional circuitry drawing and its conventional actuation timing chart of a signal processor, respectively.

[0004] In drawing 1, S1 and S2 -- are sources of a signal represented by the photo cell of the type which outputs an electrical potential difference, and these lightwave signals are the N-channel MOS transistors M11 and M12 as a switching device. -- It is M14, M21, and M22. -- They are the capacitive elements C11 and C12 as M24 and a signal maintenance means. -- It is serially outputted to an output line 5 through C14.

[0005] First, in time of day t0, if the pulse impressed to a terminal 1 starts, reading appearance of the lightwave signal of each cels M11-M14 will be carried out to capacitive elements C11-C14, and it will be held. Then, the pulse impressed to a terminal 1 falls, a scanning circuit 11 starts actuation, and the pulse for selection is outputted to a signal line L1 in time of day t2. At this time, it is outputted to an output line 5, and the signal currently held at the capacitive element C11 lets the output amplifier 10 pass, and is outputted to a terminal 12.

[0006] Then, the pulse of a signal line L1 falls, and in time of day t4, if the pulse for reset is impressed to a terminal 2, an output line 5 will be reset by the reference potential for reset of a terminal 3 (t5).

[0007] Thus, the signal which the output actuation and the reset action from the remaining source of signal S2-S4 were performed repeatedly, and reading appearance was carried out to juxtaposition from source of signal S1-S4, and was held at capacitive element C11-C14 is changed into a time series signal.

[0008] 100 or more pieces and recently in a actual signal processor, the source of a signal amounts to 100,000 or more pieces.

[0009] Therefore, even if it shortens read-out time amount per source of a signal, there is a limitation in compaction of time amount required to output the signal from all the sources of a signal as a time series signal.

[0010] On the other hand, when using a photo cell as a source of a signal, the signal outputted from the source of a signal is a visible image in many cases. In the case of such an image, there is an Akinobu number only in a very small field among one frame like the fire of the match in darkness, and a case so that it may be occupied by the dark signal produces the remainder.

[0011] Even if it was such a case, after outputting the signal of all cels serially and storing in external random access memory, required video-signal processing was performed with the conventional signal processor.

[0012]

[The technical technical problem which invention solves] Therefore, although conventional equipment was enough as general-purpose equipment, when processing only using some of some signals, in order to access all cels, the time amount for outputting a unnecessary signal arose, and it had become the cause which bars improvement in processing speed.

[0013] This has been a technical technical problem common not only to a phot cel but the equipment which

performs a sequential signal output.

[0014]

[Means for Solving the Problem] The [object] This invention solves the technical technical problem mentioned above, and it aims at offering the signal processor which can raise processing speed.

[0015] Another object of this invention aims at offering the signal processor [that it is small and low price] which can process a signal by comparatively easy circuitry.

[0016] Still more nearly another object of this invention is to offer the signal processor which can be integrated to one semiconductor chip with the function which outputs a mixed signal and an individual signal.

[0017] [Configuration] the means (configuration) for solving the technical problem mentioned above and attaining the above-mentioned object In the signal processor which has two or more signal maintenance means for holding the output signal from two or more sources of a signal and these sources of a signal It is the signal processor characterized by having a signal mixing means to output the mixed signal with which said at least two or more independent output signals were mixed among said two or more output signals held at said two or more signal maintenance means, and plurality became independent.

[0018] Moreover, another configuration is set to the signal processor which has two or more signal maintenance means for holding the output signal from at least four sources of a signal, and this source of a signal. The signal mixing means for mixing at least two or more independent output signals among the output signals held at said two or more signal maintenance means, and outputting at least two or more mixed signals, It is the signal processor characterized by providing the individual signal output means for outputting the output signal from said two or more sources of a signal according to an individual, respectively.

[0019]

[Function] According to this invention, a number smaller than the number of the sources of a signal of mixed signals are acquired by mixing suitably the signal with which many sources of a signal became independent.

[0020] Therefore, since the number of the independent signals which should be processed decreases, a signal-processing rate can be raised sharply. Moreover, since the number of the independent signals to treat decreases, the magnitude of a circumference circuit also becomes small and the application to a system spreads.

[0021] At this time, since that information was not destroyed on behalf of two or more individual signal which became a radical, this mixed signal is effective, especially when processing rough information.

[0022]

[Example] [Explanation of a suitable embodiment] In this invention, all the output signals from many sources of a signal are outputted to a time series target, after storing in memory, a request is not processed, but after mixing the output signal from two or more sources of a signal in the preselected group (block), this mixed signal is outputted serially.

[0023] If an example is given, it will divide into a total of ten blocks, using 20 pieces as 1 block among a total of 200 sources of a signal. And the 20-piece signal with which the signal mixing means was formed in each block, and it became independent within the block is mixed, and a total of ten mixed signals are acquired. Therefore, in order to treat ten mixed signals as a representation signal of all the sources of a signal, the number of the magnitude of a latter signal processing system is not 200, and it treats ten independent events of 1/the 20, and ends [small-scale].

[0024] If two or more photo cells which adjoined as a source of a signal which was mentioned above in the image sensors represented by especially a line sensor and an area sensor, and which should be mixed are specified, although resolution falls compared with the case where it does not mix, as actuation which reads an image, it is the same as the usual actuation.

[0025] Therefore, this invention is used suitably to read the inclination of the whole image rather than high resolution at high speed.

[0026] Furthermore, after acquiring a mixed signal first, reading the inclination of the whole image and reading a mixed signal by controlling actuation of a signal mixing means to read only the inside of the field where it was restricted within this image with high resolution, the signal according to individual of each cel within a block required as un-operating can be read for a signal mixing means.

[0027] As a source of a signal used for this invention, active elements, such as passive elements, such as capacity and a resistor, diode, and a transistor, are used. Photo cells which generate an electrical signal with information, such as a photoconductive element and a photovoltaic cell, are especially desirable as a source

of a signal. The photo cell of the nondestructive-read mold using the bipolar transistor which accumulates a charge in the field-effect transistor which accumulates a charge in the gate also in a photo cell, a static induction transistor, or the base mentioned later is used more preferably.

[0028] Moreover, a capacitive element and a latch circuit are used as a signal maintenance means used for this invention, and when treating an analog signal, the sample hold circuit containing a capacitive element is used concretely.

[0029] And as a signal mixing means used for this invention, the transistor and charge-coupled device as a switching device which connect two or more capacitive elements are desirable.

[0030] Although the concrete example of this invention is explained in full detail below, if this invention is within the limits by which it is not limited to these examples and the object of this invention is attained, it also contains that by which the permutation to the equal object of a component, modification of an ingredient, etc. were made.

[0031] (Example 1) It explains briefly using the timing chart which shows the 1st example of this invention to the circuit diagram and drawing 4 of drawing 3.

[0032] This example arranges the photo cell S1 as a source of a signal, S2, and -- in the shape of-dimensional [1], and it constitutes them so that the average signal may be outputted per 2 pixels.

[0033] That is, it is MOSFETM31 and M32 as scanning circuit 11' and a switching device as a signal mixing means. -- The configuration of the former [point / that M34, output line 5', capacitive element C2 ', etc. are prepared] is a different point..

[0034] If it puts in another way, it will be serially processed in the group (block) unit which consists of two cels.

[0035] Here, MOSFETMR' for reset is connected to output line 5', and the potential of capacitive element C2 ' of output line 5' is reset to the reference potential of terminal 3' by impression of the clock pulse to terminal 2'. Moreover, 10' is the same amplifier as 10, and 20' is the same output terminal as 20.

[0036] First, time of day t1 It sets, the pulse for signal read-out is impressed to a terminal 1, and cels S1 and S2 and the lightwave signal from -- are read to coincidence by capacitive elements C11 and C12 and --, respectively.

[0037] After that time of day t2 It sets and is an output line N1 from scanning circuit 11'. When a scan pulse is outputted, two MOS transistors M31 and M32 will be in ON condition simultaneously, and it is S1S2. It is accumulated, and the average signal of a lightwave signal is outputted to capacitive element C2 of output line 5' ', is amplified through output amplifier 10', and is supplied to terminal 12'. After that, if the pulse for reset is impressed to terminal 2' in time of day t3, transistor MR' will be in ON condition and output line 5' will be reset. Block signal read-out is completed by performing the above scan by the whole block.

[0038] With this block signal, after election of a required block is completed, a pulse is again impressed to a terminal 1, and it is a cel S1 and S2. -- A lightwave signal is read to capacitive elements C11 and C12 and --, a scanning circuit (time of day t4) 11 is driven, and the lightwave signal of each cel is shortly read to time series per cel.

[0039] Here, if it is made what carries out actuation initiation of scanning circuit 11' from the cel of arbitration, and can end actuation in the cel of arbitration, the signal of only a required block can be read.

[0040] Moreover, if nondestructive read is possible for a cel S1, S2, and --, it is also possible to take out the lightwave signal of the same time of day substantially with the image information obtained by block read-out.

[0041] As a sensor of a nondestructive-read mold "Artificer Tadahiro Omi and Nobuyoshi Tanaka were given. A photoelectrical inverter The description of U.S. Pat. No. 4,791,469 of a name or artificer Tanaka and others " was given. "(Photoelectric converter) The photoelectrical inverter with which the fixed pattern noise was reduced () [Photoelectricconversion] device with reduced fixed pattern Are indicated by the description of U.S. Pat. No. 4,810,896 of a title called noises." It is desirable to use to accumulate the charge by which optical generation was carried out in the base of a bipolar transistor by which the emitter was connected to volume load.

[0042] (Example 2) Drawing 5 is the circuit diagram of the signal processor by the 2nd example of this invention. A different point from an example 1 is a point of holding the output signal from one source of a signal by two capacitive elements through an amplifier and two switching devices. In this way, in the example 1, the signal maintenance actuation to a capacitive element with the need of carrying out twice can be finished at once.

[0043] When actuation is explained briefly, first, a pulse is impressed to a terminal 1 and the signal of all cel

S1-S4 is amplifier A1-A4. It is amplified and is held simultaneously at capacitive element C11-C14 and C11'-C14'.

[0044] Next, when two MOSFETM31 and M32 turn on by scanning circuit 11', the average of the output signal currently held at two capacitive element C11' and C12' appears in capacitive element C2', is further amplified by amplifier 10', and is outputted to terminal 12'. Then, shift pulse N2 after the potential of output line 5' was reset by MOSFETMR' for reset The average of the output signal held at two capacitive element C13' and C14' is outputted. The average for every deed block is serially outputted for this to terminal 12' one by one.

[0045] In order to carry out the sequential output of the signal of each cel after that, a scanning circuit 11 operates and the output signal of each cel with which a shift pulse is supplied to output line L1-L4 one by one, and is held at capacitive element C11-C14 is outputted to time series one by one to a terminal 12.

[0046] In this example, the cel of a destructive-read mold can be used as a source of a signal.

[0047] Moreover, amplifier A1-A4 It is prepared if needed, and amplifier is omissible if the output impedance of the source of a signal is low enough.

[0048] (Example 3) The circuit diagram and its actuation timing chart of the signal processor by the 3rd example of this invention are shown in drawing 6 and drawing 7.

[0049] In this example 3, the switching device which connects the capacitive elements in a group in common is prepared.

[0050] This example sets a scanning circuit to one to the example 1 mentioned above. Saying and the actuation approach are simplified. There are two descriptions of things.

[0051] Time of day t1 It sets, a pulse is impressed to a terminal 1, and it is a cel S1 and S2. Reading appearance of the lightwave signal from -- is simultaneously carried out to a capacitive element C11 and C12 --.

[0052] Then, time of day t2 It sets, and if a pulse is impressed to a terminal 4, MOS transistors M31 and M32 as a switching device and -- will be turned on. In this way, it is [0053] when V1, V2, --, the electrical potential difference after two capacitive elements were connected are made into Vc12, Vc12, and -- for two capacitive elements C11 and the signal level by which reading appearance was carried out to C12 --, respectively, since capacitive elements C11 and C12 and capacitive elements C13 and C14 are connected in common, respectively.

[External Character 1]

$$V_{c11} = V_{c12} = \frac{C_{11}V_1 + C_{12}V_2}{C_{11} + C_{12}} \dots (1)$$

$$V_{c13} = V_{c14} = \frac{C_{13}V_3 + C_{14}V_4}{C_{13} + C_{14}} \dots (2)$$

It becomes.

[0054] Next, time of day t4 If it sets and the pulse from a scanning circuit is impressed to an output line L1, MOS transistor M21 will be turned on and the signal on two capacitive elements C11 and C12 will be transmitted to an output line 5. Both are [0055] when potential of the terminal 3 which are V0 and the reset potential of an output line 5 about the electrical potential difference which appears in the output line 5 at this time is set to 0v.

[External Character 2]

$$V_0 = \frac{(C_{11} + C_{12})V_{c11}}{C_{11} + C_{12} + C_2} \dots (3)$$

It is shown by *****.

[0056] Subsequently, since a pulse is impressed to an output line L2 and MOS transistor M22 turns on where the potential of an output line 5 is reset, the signal of a capacitive element C12 is reset, without being outputted. The output and reset of the average are repeated similarly after that.

[0057] Since the pulse impressed to L2 or L4 here can be actually managed extremely with pulse width compared with the pulse of L1 or L3 for a reset action, the scan time for an average output can be managed with short time amount compared with the scan time of all cels.

[0058] Subsequently, time of day t6 It is cel S1-S4 again. A signal is held at capacitive element C11-C14. After that, when MOSFETM21-M24 turn ON the pulse impressed to a terminal 4 one by one with a low level, the signal held at each capacitive element C11-C14 appears in a time series target one by one at a

terminal 12.

[0059] In addition, like the example 2 over an example 1, by adopting as the output of the source of a signal the configuration which establishes per the configuration which forms amplifier, and/or source of 1 signal, and two or more maintenance means, the read-out actuation to a maintenance means from the source of a signal can be managed at once, and the effectiveness that the photo-electric-translation cel of a destructive-read mold is also employable as a source of a signal is acquired also in this example 3.

[0060] (Example 4) The circuit diagram of the signal processor by the 4th example of this invention is shown in drawing 8.

[0061] This example 4 applies said example 1 to a two-dimensional sensor, and it is made to output the two or more pixels (cel) (this example 2 pixels) average signal of a lengthwise direction.

[0062] Actuation of this example is briefly explained using the timing chart of drawing 9.

[0063] It is time of day t1 first. It sets and a pulse is impressed to the actuation selection line H1 from the vertical-scanning circuit 40. From this event, a lightwave signal is read from the cels S11, S12, S13, and S14 for one line to vertical lines 51, 52, 53, and 54, respectively, and it is time of day t2. If it sets and a pulse is impressed to a terminal 30, MOS transistors M11, M12, M13, and M14 will be turned on, and will be held at capacitive elements C11, C13, C15, and C17.

[0064] Then, time of day t3 It sets and reading appearance of the signals S21, S22, S23, and S24 of the following line is similarly carried out to capacity C12, C14, C16, and C18, respectively.

[0065] Then, a pulse is serially impressed to output lines L1, L2, L3, and L4 from horizontal scanning circuit 11', and two capacitive elements C11, C12 and C13, C14, C15 and C16, and the average signal of one pair of lightwave signals accumulated in C17 and C18 are outputted to a terminal 20.

[0066] Thus, after the average signal of the cel which adjoins in the direction of 1 train on two actuation selection lines is outputted to a time series target one by one, the average signal of the cel which the following two actuation selection lines H3 and H4 are chosen, and adjoins in the two directions of a train is outputted to a time series target one by one.

[0067] (Example 5) Drawing 10 is the circuit diagram of the signal processor by the example 5 of this invention. This example 5 applies the above-mentioned example 3 to a two-dimensional sensor. After the signal maintenance to a capacitive element is completed every two lines, the signal mixing actuation by this example impresses a pulse to a terminal 4, connects two capacitive elements, acquires an average signal, continues, and scans this average signal sequentially.

[0068] Drawing 11 is the actuation timing chart of this example 5.

[0069] First, while choosing the actuation selection line H1, a clock pulse is impressed to a terminal 30, MOS transistor M11-M14 are turned on, and a signal is made to hold to capacitive elements C11, C13, C15, and C17. Next, while choosing the actuation selection line H2, a pulse is impressed to a terminal 31, MOS transistor M21-M24 are turned on, and a signal is made to hold to another capacitive elements C12, C14, C16, and C18.

[0070] Subsequently, a pulse is impressed to a terminal 4, MOS transistor M31-M34 are turned on, the capacitive element of a couple is connected, respectively, and the average of the output signal of two cels is acquired for every vertical lines. The output and reset action of the average are repeatedly performed by the combination of impression of the reset pulse to a terminal 2, and impression of the pulse of output line L1-L4 after that.

[0071] As shown in drawing 12, after choosing one actuation selection line H1-Hevery 4 one by one and holding a signal after that to capacitive elements C11, C13, C15, and C17, since it scans sequentially by pulses L1 and L3, the output signal for every cel is amplified by the terminal 12 as a time series signal, and it appears.

[0072] (Example 6) Drawing 3 is the circuit diagram of the signal processor by the 6th example of this invention.

[0073] After holding the signal from four cels called the cels S11, S21, S12, and S22 which adjoin in this example, it is constituted so that it may mix and the average of four signals may be acquired.

[0074] Drawing 14 and drawing 15 are the actuation timing charts of this example.

[0075] It mixes, after holding the signal from four cels which adjoin in this example, and the average is amplified for a terminal 12 by the pulse L1, it outputs, the signal held from four cels which a reset action is performed during Period TRS after that, and a degree adjoins continuously is mixed and outputted, and a reset action is performed again.

[0076] In this way, after acquiring the average of 4 blocks, as shown in drawing 15, the signal from each cel is outputted to a terminal 12 one by one.

[0077] (Example 7) The 7th example of this invention is shown in drawing 16.

[0078] This example 7 is the source S1 of a signal, S2, S3, and S4 because of simplification of explanation. It arranges in the shape of-dimensional [1], and is made to also output the average signal of the signal which adjoins with the signal from each source of a signal.

[0079] Actuation of this example is briefly explained using the timing chart of drawing 17.

[0080] First, time of day t0 It sets, the pulse of a terminal 1 starts, MOS transistor Mij (i=1-4, j=1-3) is turned on, and a signal is read from each source of a signal to a capacitive element Cij (i=1-4, j=1-3). Here, parallel connection of the three capacitive elements Cij (j=1-3) is carried out to each source Si of a signal (i=1-4), respectively, and reading appearance of the same signal from Si is carried out to these three capacitive elements.

[0081] Moreover, it is set as $C_{i2}=2C_{i1}=2C_{i3}=C$ (i=1-4) at this time. Time of day t4 and time of day t8 The pulse of L1 and L2 starts, respectively, and the signal on C11 and C12 is read on an output line 5, and is outputted to a terminal 12, respectively. At this time, it is a signal level on C11 and C12 V1 It is V1 when the reset electrical potential difference of a terminal 3 will be set to GND, if it carries out. The electrical potential difference when being read on an output line 5 is [0082], respectively.

[External Character 3]

$$\frac{C_{11}V_1}{C_{11}+C_2} \cdot \frac{C_{12}V_1}{C_{12}+C_2} \left(= \frac{CV_1}{C+C_2} \right) \cdots (4)$$

Next, time of day t9 If it sets and the pulse of L3 starts, MOS transistors T13 and T21 will be turned on simultaneously, and the electrical potential difference on C13 and C21 will be read on an output line 5. It is a signal level on C21, C22, and C23 V2 When it carries out, the signal level read on an output line 5 is [0083] at this time.

[External Character 4]

$$\frac{C_{13}V_1+C_{21}V_2}{C_{13}+C_{21}+C_2} = \frac{\frac{1}{2}C(V_1+V_2)}{C+C_2} \cdots (5)$$

a next door and this -- source S1 of a signal And S2 from -- it means that the average of a signal was outputted

[0084] By such a series of actuation, resolution can be raised in false by first outputting serially the output of Si and the average signal of Si+1, and the average signal of the source of a signal which adjoins between the signals of the original source of a signal like the output of the signal of Si+1 continuously to the output of the signal of Si, and a degree.

[0085] In addition, in this example, although the source of a signal was considered as the 1-dimensional-like array for simplification of explanation, if the source of a signal is arranged in the shape of two-dimensional and the same actuation is performed also to the signal of a lengthwise direction, resolution can be raised in the shape of two-dimensional.

[0086] (Example 8) There is an example which outputs the signal from a photo cell as the 8th example of this invention as a signal which carried out profile emphasis.

[0087] As sharp-izing of an image, it is Laplacian [0088] as technique used well.

[External Character 5]

$$\nabla^2 f = \frac{\partial^2 f}{\partial x^2} + \frac{\partial^2 f}{\partial y^2} \cdots (6.1)$$

It is the signal f of each pixel (i, j) to ***** and two-dimensional image data. $f(i, j) = 5f(i, j) - \{f(i+1, j) + f(i-1, j) + f(i, j+1) + f(i, j-1)\}$ - (6.2)

The technique boiled and changed is known (Rosenfeld, Kak: "Digital Picture Processing", Academic Press).

[0089]

$$f(i) = 3f(i) - \{f(i-1) + f(i+1)\} - (6.3)$$

The technique similarly changed to 1-dimensional image data is effective. That is, by lengthening Laplacian (average of the image with which level and a perpendicular direction adjoin) of a former image to the image, dotage of an image is weakened and sharp-ization of an image can be realized.

[0090] Actuation of this example is briefly explained using drawing 18.

[0091] In this example, three-piece parallel connection of the signal retention volume Cij (j=1-3) is carried

out. to each pixel Si (i=1-4), and each value is set to it so that it may become $Ci2 = 3Ci1 = 3Ci3 = 3C(i=1-4)$ - (6.4).

[0092] Actuation is almost the same as the conventional example, and reads the signal from each pixel Si (i=1-4) to capacity Cij (i=1-4, j=1-3) first. Next, in case the signal held at capacity Cij is transmitted to an output line 5 by the scanning circuit 12, it differs from the conventional example. If it is got blocked, for example, a pulse is impressed to L1, MOS transistors T13, T22, and T31 will be turned on, and the charge held at capacity C13 and C31 is transmitted to output line 5' at the same time the charge held at capacity C22 is transmitted to an output line 5. It is the signal level held here at capacity C13, C22, and C31, respectively V1, V2, and V3. When it carries out, the potential of an output line 5 and 5' makes GND level an output line 5 and reset potential (a terminal 3, potential of 3') of 5' by this transfer operation, and it is [0093].

[External Character 6]

$$V_5 = \frac{C_{22}V_2}{C_{22}+C_4} = \frac{3C_1V_1}{3C+C_4} \cdots (6.5)$$

$$V_{5'} = \frac{C_{13}V_1 + C_{31}V_3}{C_{13}+C_{31}+C_3'+C_0} = \frac{C(V_1+V_3)}{2C+C_3'+C_0} \cdots (6.6)$$

It comes to be alike. Here, it is C3. And C3' is the drain parasitic capacitance and wiring capacity of MOS transistor Tmn (m=1-4, n=1-3) which are mainly connected to an output line 5 and 5'. In this example, the denominator of (6.5) and (6.6) can be made the same by being able to connect a dummy MOS transistor to an output line 5, and being able to make C3 and C3' in agreement by making a wiring configuration the same, and setting the dummy capacity CD as C. Therefore, by obtaining difference for V5-V5' by 30, a formula (6.3) can be calculated on a photoelectrical inverter and an image can be made sharp.

[0094] Although the 1-dimensional photoelectrical inverter was mentioned as the example in this example in order to simplify explanation, it is clear by calculating a formula (6.2) on the same chip that an image can be made to make it sharp completely similarly [in a two-dimensional photoelectrical inverter].

[0095] moreover -- although the operation using a formula (6.3) is performed in this example in order to aim at profile emphasis of an image f' -- (i) = 2f(i) - {f(i-1) + f(i+1)} - (6.7)

Only the image of a profile part can also be outputted by performing *****. By specifically setting the value of the signal retention volume on drawing 18 as $Ci2 = 2Ci1 = 2Ci3 = 2C(i=1-4)$ - (6.8), it is realizable.

[0096] Moreover, it is clear that this it is realizable completely similarly [in a two-dimensional photoelectrical inverter]. Moreover, in this example, although retention volume is set as the value of (6.4) and a formula (6.8), it is easy to change this value if needed.

[0097] Furthermore, when a capacitive element is constituted from MOS capacity, it is known to the electrical potential difference between the gate and a substrate that capacity value shows a property like drawing 19 $R > 9$. Therefore, also in this invention, a maintenance means is constituted from MOS capacity and the capacity value can be adjusted from the outside by changing substrate potential.

[0098] (Example 9) The actuation timing chart is shown for the circuit diagram of the signal processor by the example 9 of this invention in drawing 20 at drawing 21.

[0099] In this example, the point of having formed scanning circuit 11' for carrying out the sequential output of the average value and MOS transistors M51 and M52 is a different point on the example 3 shown in drawing 6, and a circuit.

[0100] It sets to this example and is time of day t1 first. It sets, a high-level pulse inputs into a terminal 1, and they are all cel S1-S4. An output signal is held at capacitive element C11-C14, respectively. Next, time of day t2 Two capacitive elements which a high-level pulse is impressed and adjoin are connected to a terminal 4, and a signal is mixed. Time of day t3 A high-level pulse is impressed to a terminal 2, and the common output line 5 is once reset by the reset potential of a terminal 3.

[0101] Next, time of day t4 A pulse more high-level than scanning circuit 11' is inputted into the gate of MOS transistor M51, and the average is outputted.

[0102] Thus, the high-level pulse of sequential-scanning circuit 11' shifts, an average output is amplified serially, and it outputs to a terminal 12.

[0103] Termination of the output of the average performs output actuation of the individual signal of each cel next. Time of day t5 All cel S1-S4 A signal is held to capacitive element C11-C14. Subsequently, it is time of day t6 from a scanning circuit 11. A high-level shift pulse is impressed to the gate of MOS transistor M21, and it is a cel S1. A signal is outputted to a terminal 12. When the high-level pulse shifts output line

L1-L4, the signal of all cels is amplified as a time series signal one by one, and it appears in a terminal 12. [0104] Drawing 22 is the block diagram showing the system using the signal processor by this invention. All 200 output signals from the cel array 100 as a source of a signal are held according to an individual as a signal for 200 cels in the sample hold circuit 101 as a signal maintenance means.

[0105] Four signals which adjoin first of all with the signal mixing means 102 using the held this signal are mixed, and 50 independent mixed signals are generated. In the mixed digital disposal circuit 104, the field which should process the compressed signal and should perform signal processing of high resolution is determined, and a block-definition signal is supplied to the individual digital disposal circuit 103. as the field specified in the individual digital disposal circuit -- for example, S1-S4 if the 1st block is specified -- this -- only the individual signal of the sample hold circuit 101 corresponding to the 1st block is taken out, and signal processing is performed.

[0106] Thus, since the information on the low resolution (low consistency) by the compressed mixed signal is acquired from an output terminal 106, the rough information on all signals is acquired. On the other hand, since the information on the high resolution (high density) of a specific field is acquired from an output terminal, a part of detailed information can be acquired among all signals.

[0107]

[Effect of the Invention] According to this invention, since what is necessary is just to process a number smaller than the number of the sources of a signal of mixed signals, the processing speed of a signal improves.

[Translation done.]

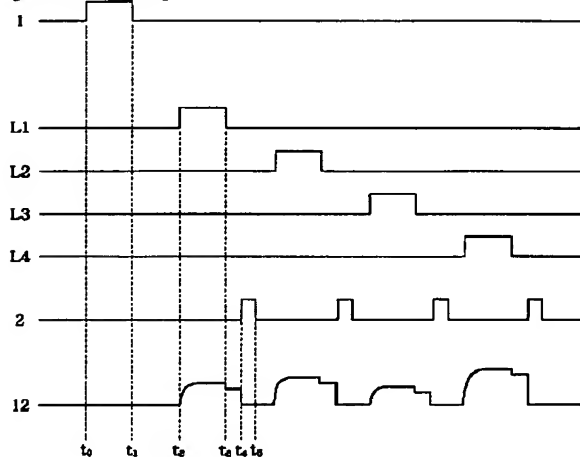
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

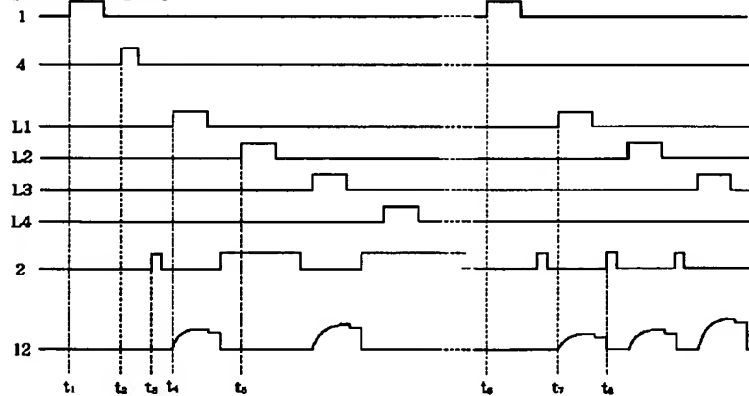
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

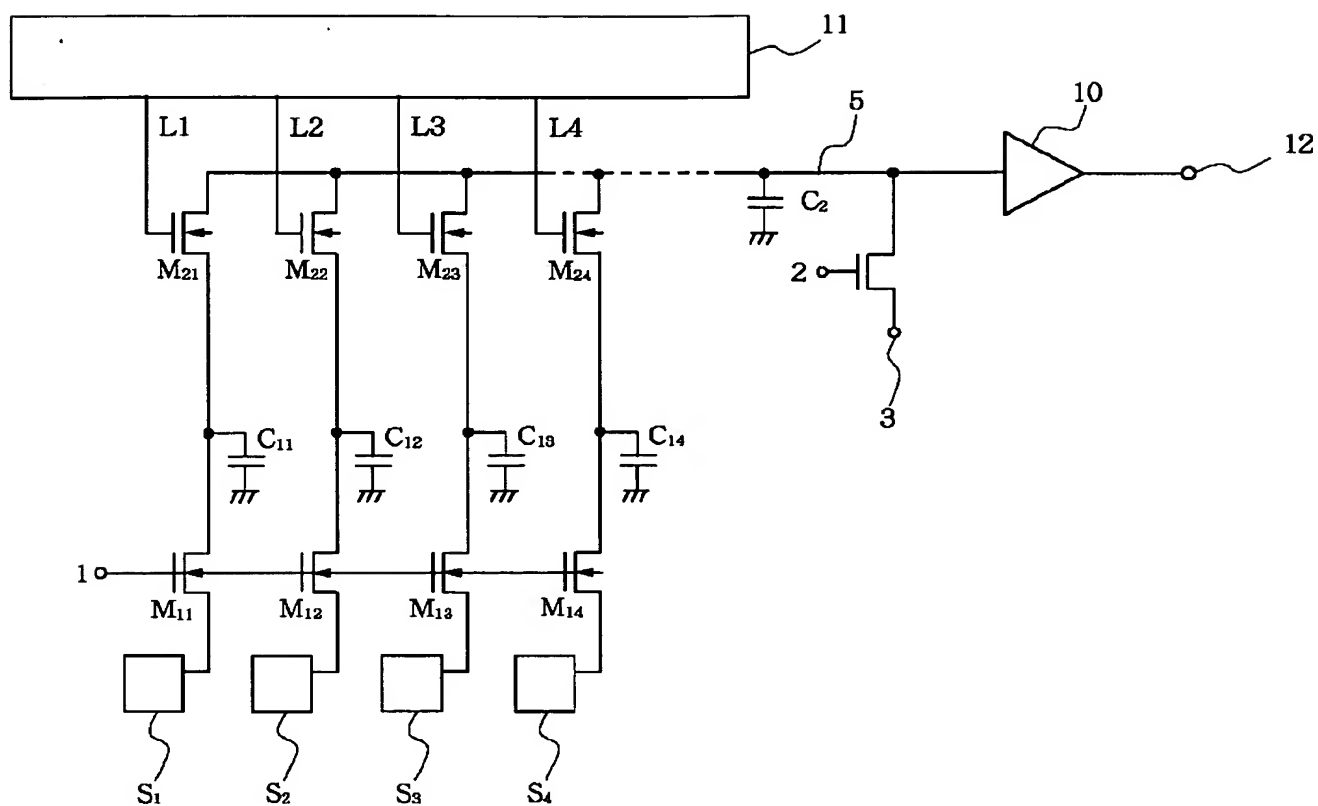
[Drawing 2]



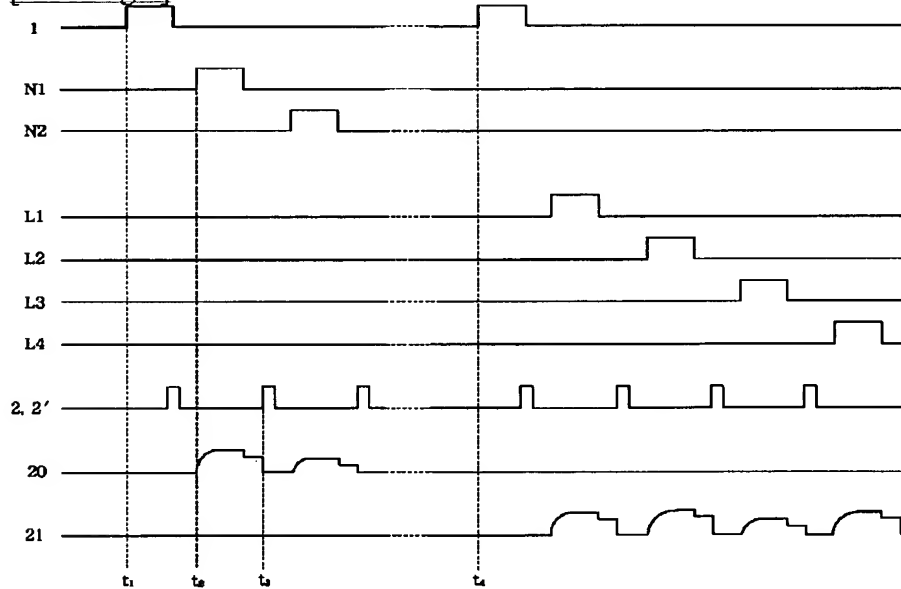
[Drawing 7]



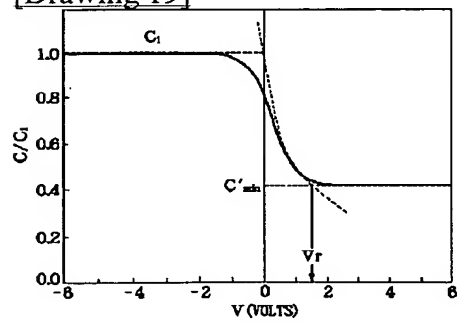
[Drawing 1]



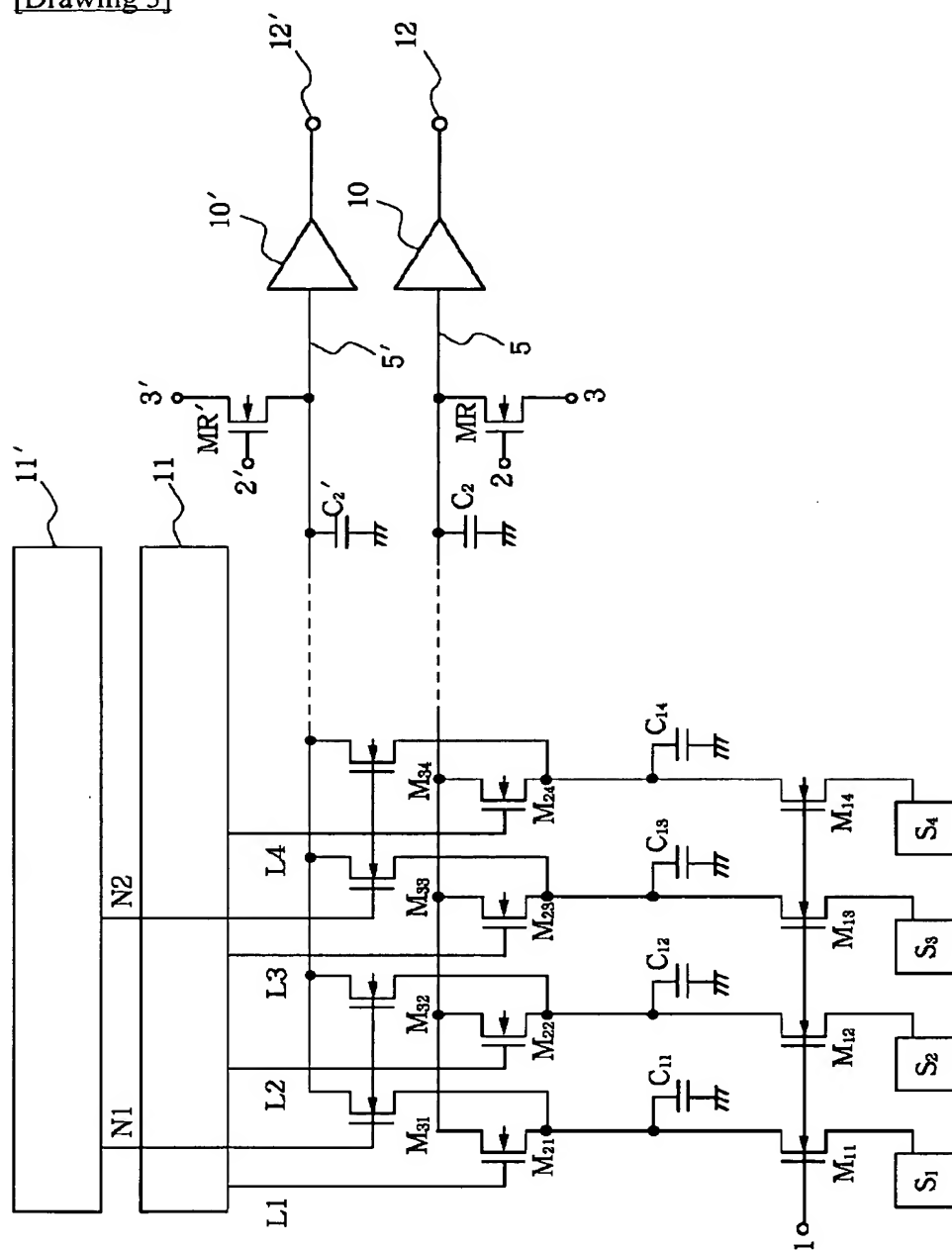
[Drawing 4]



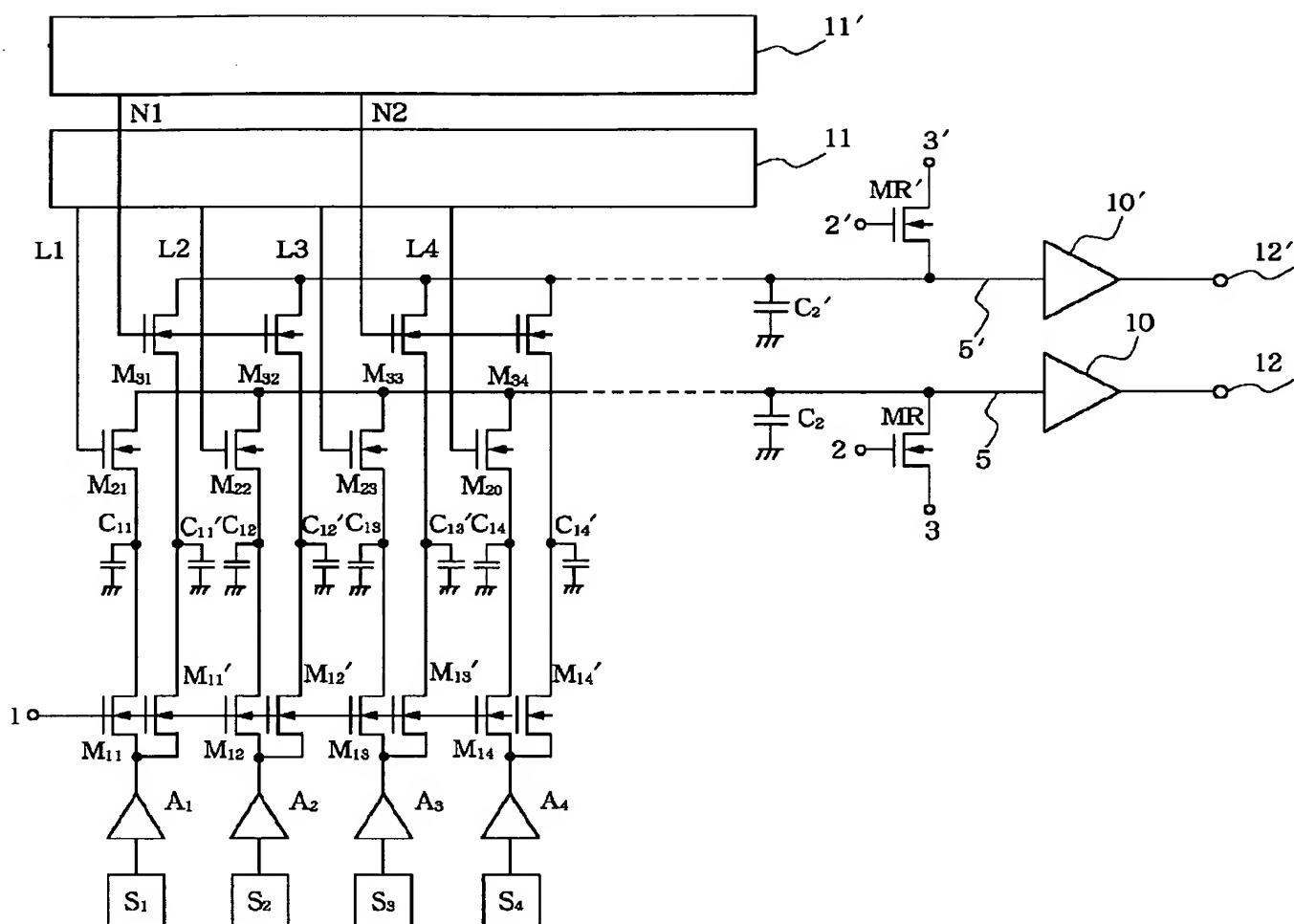
[Drawing 19]



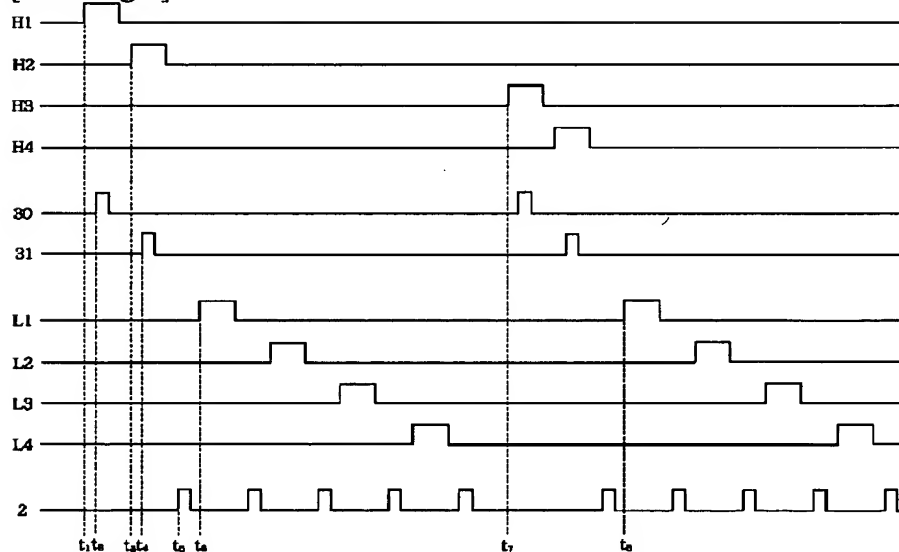
[Drawing 3]



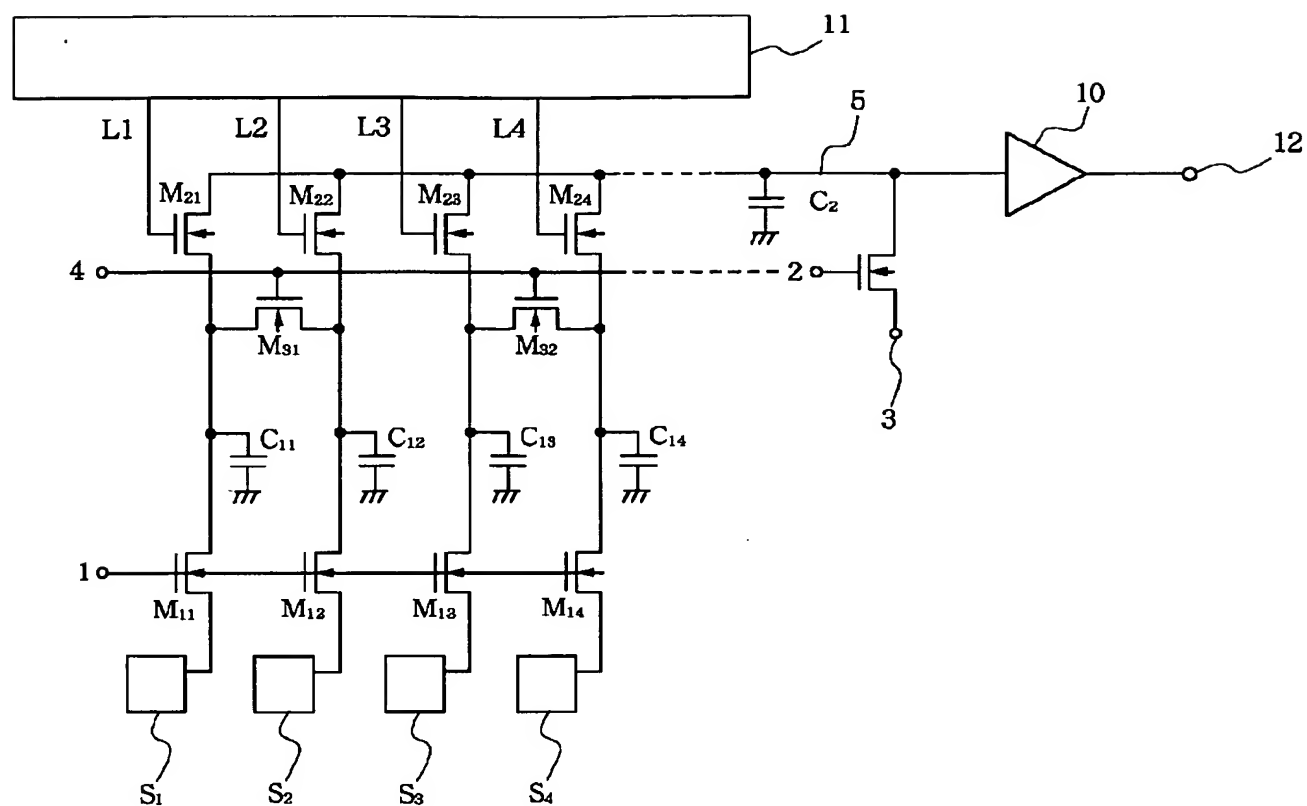
[Drawing 5]



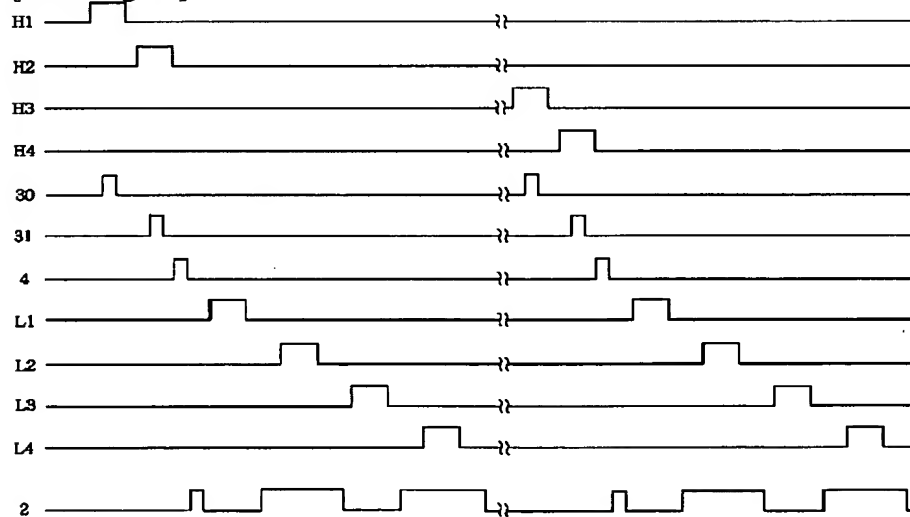
[Drawing 9]



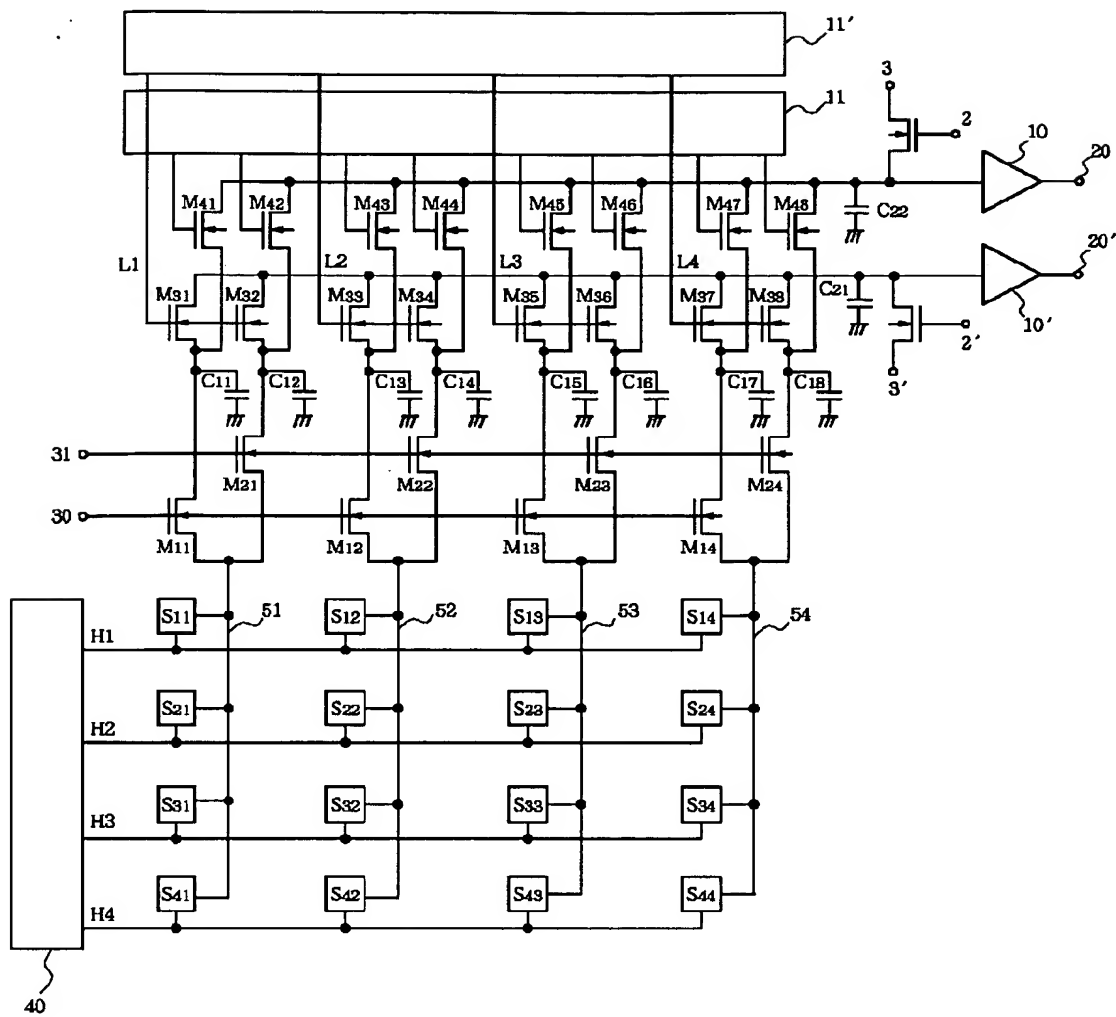
[Drawing 6]



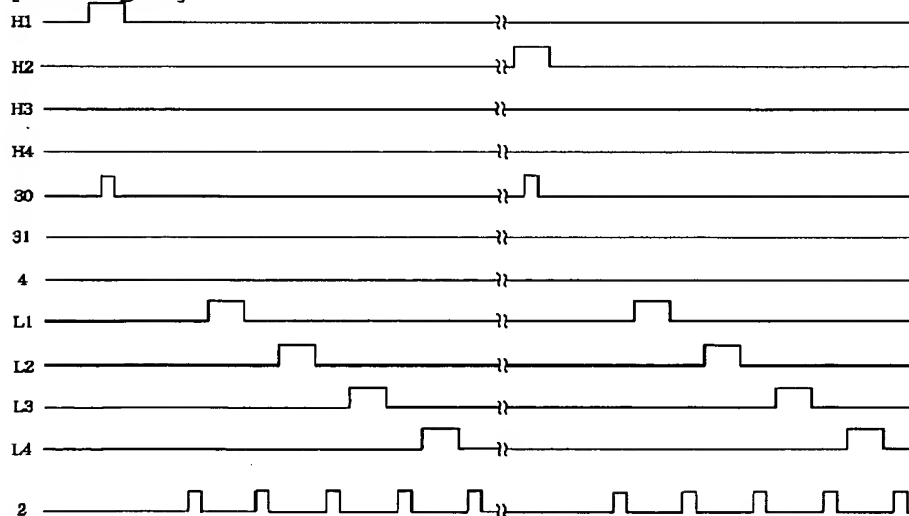
[Drawing 11]



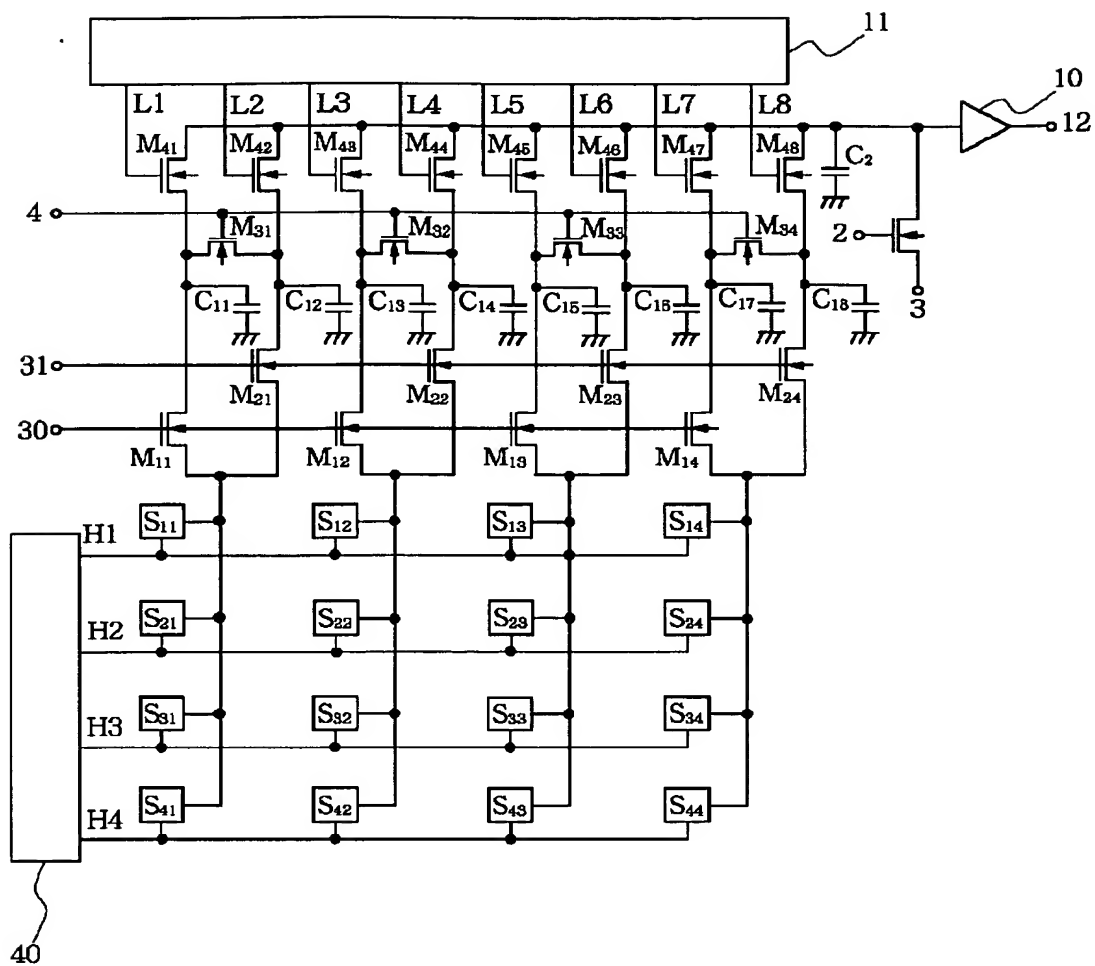
[Drawing 8]



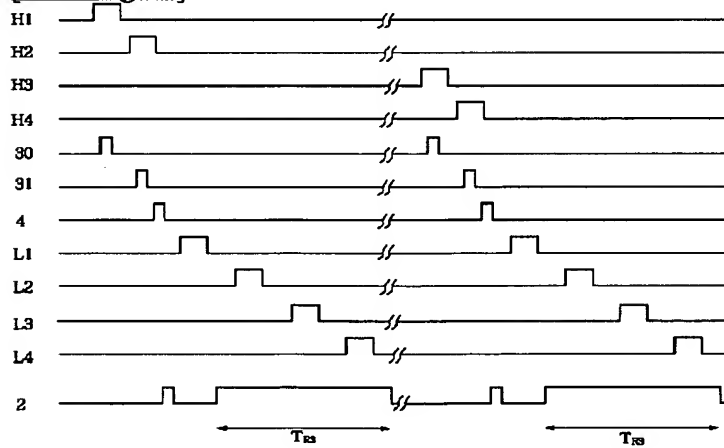
[Drawing 12]



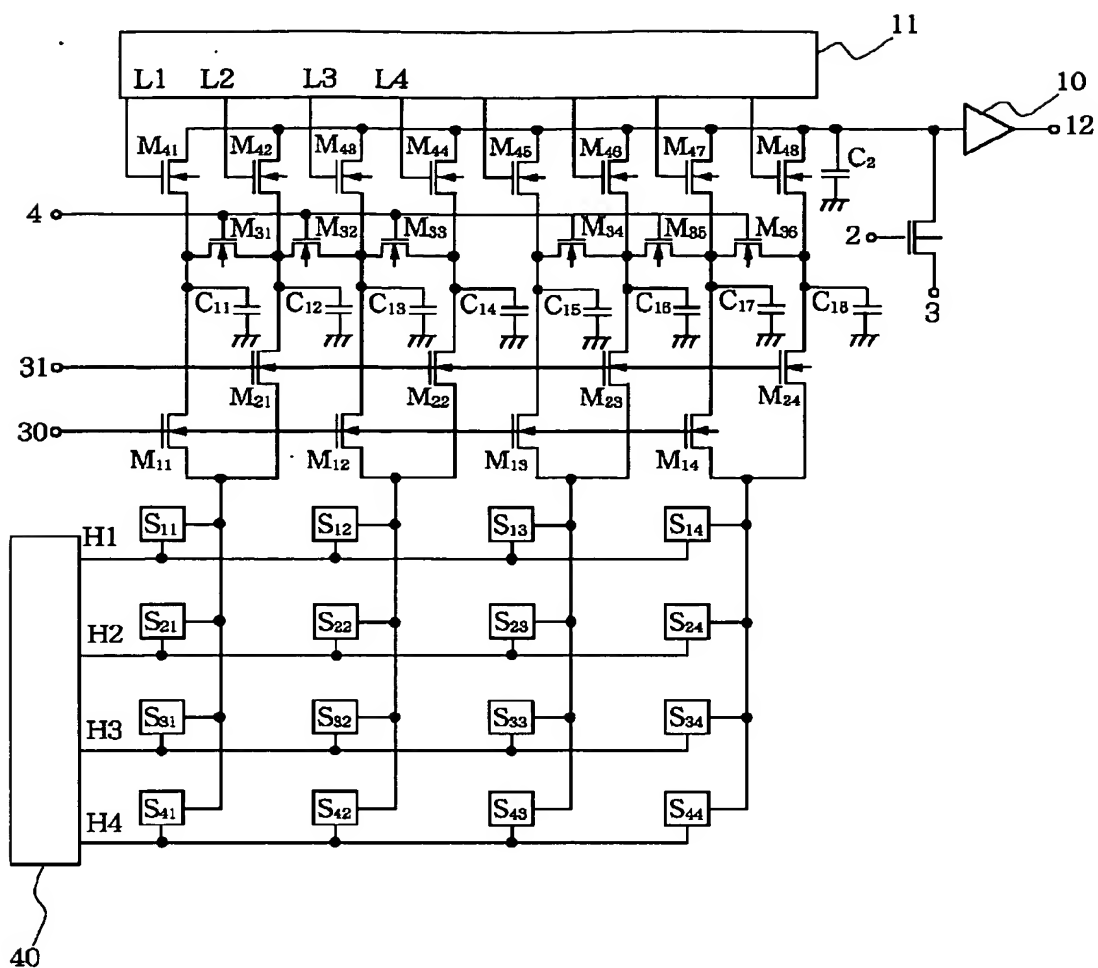
[Drawing 10]



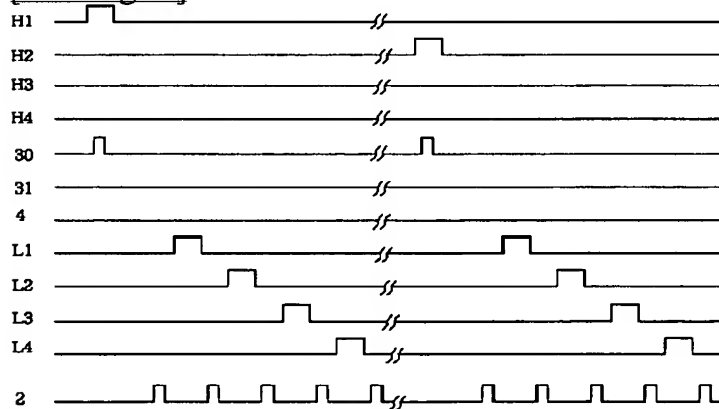
[Drawing 14]



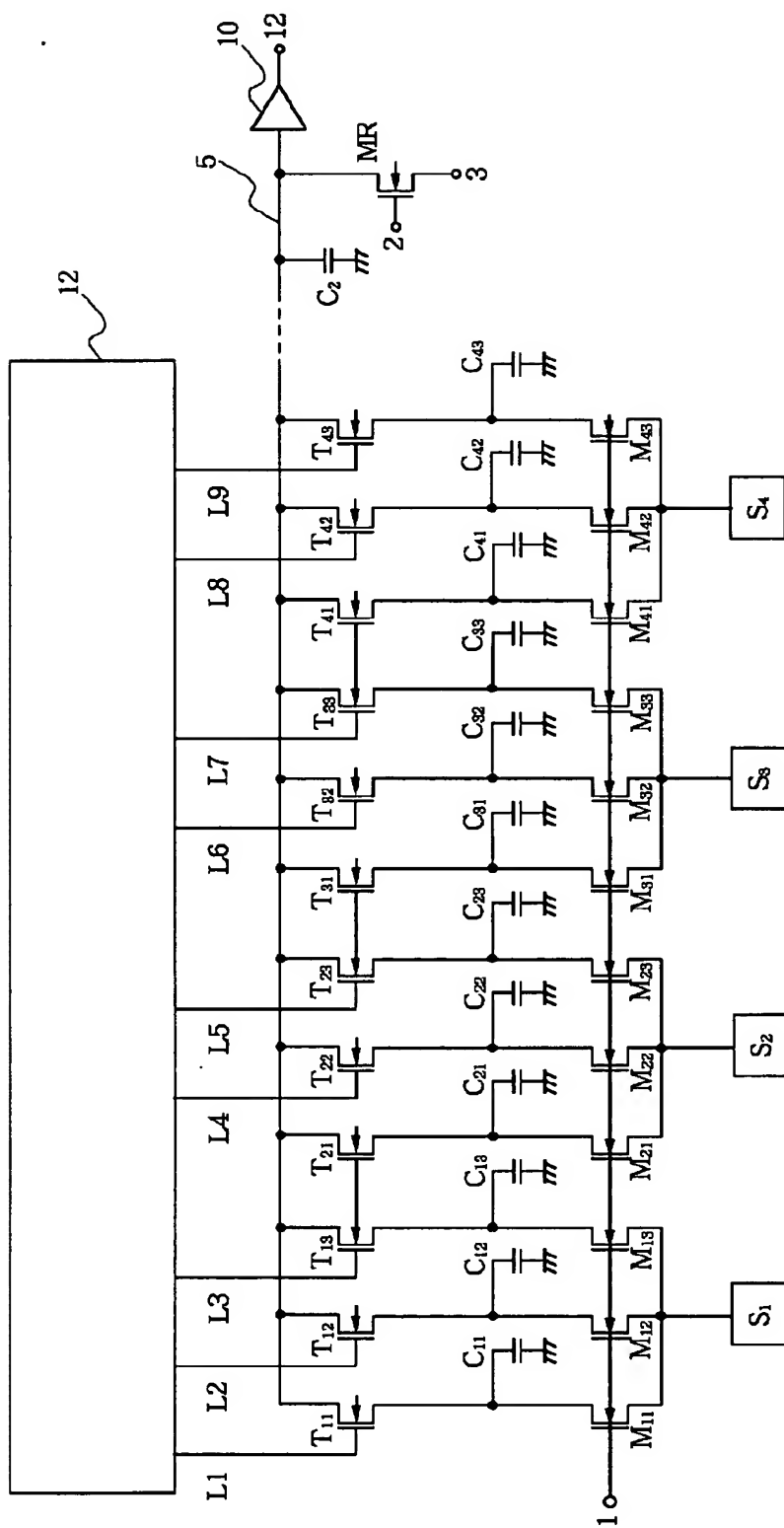
[Drawing 13]



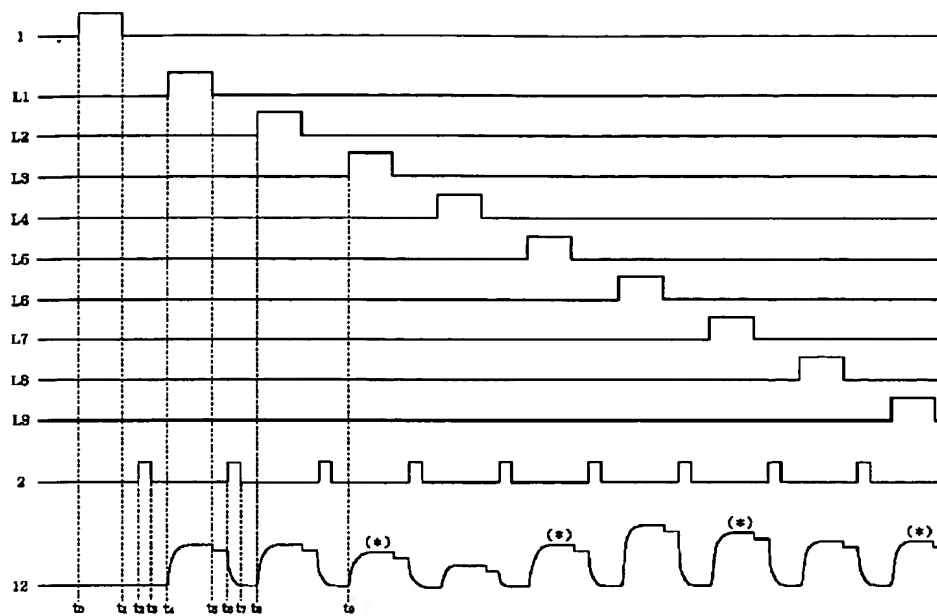
[Drawing 15]



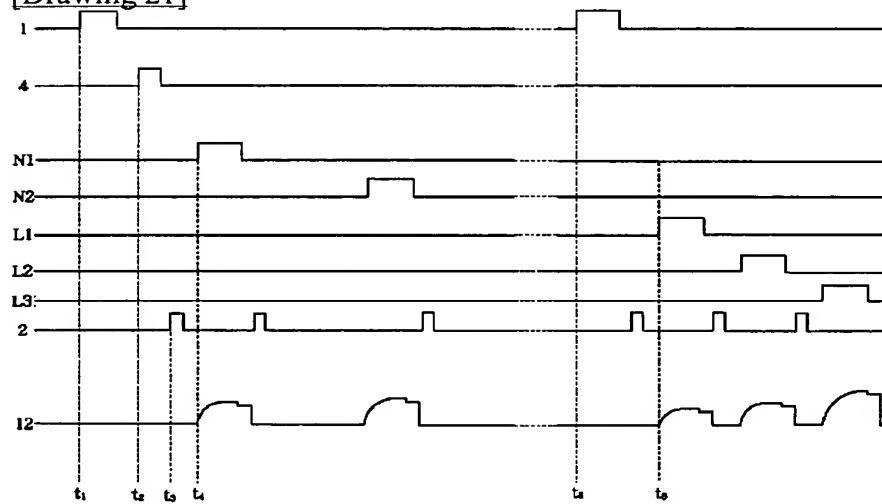
[Drawing 16]



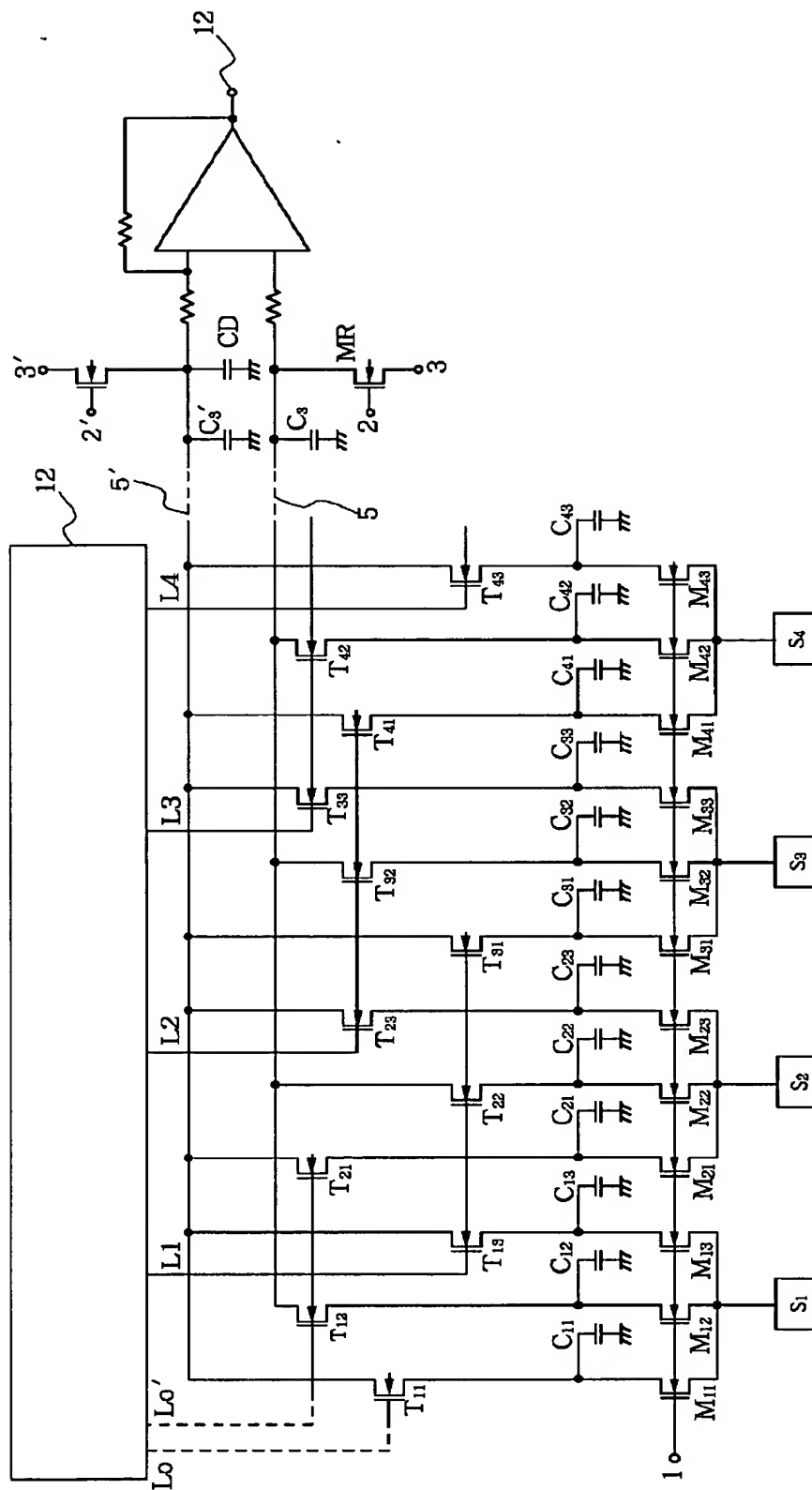
[Drawing 17]



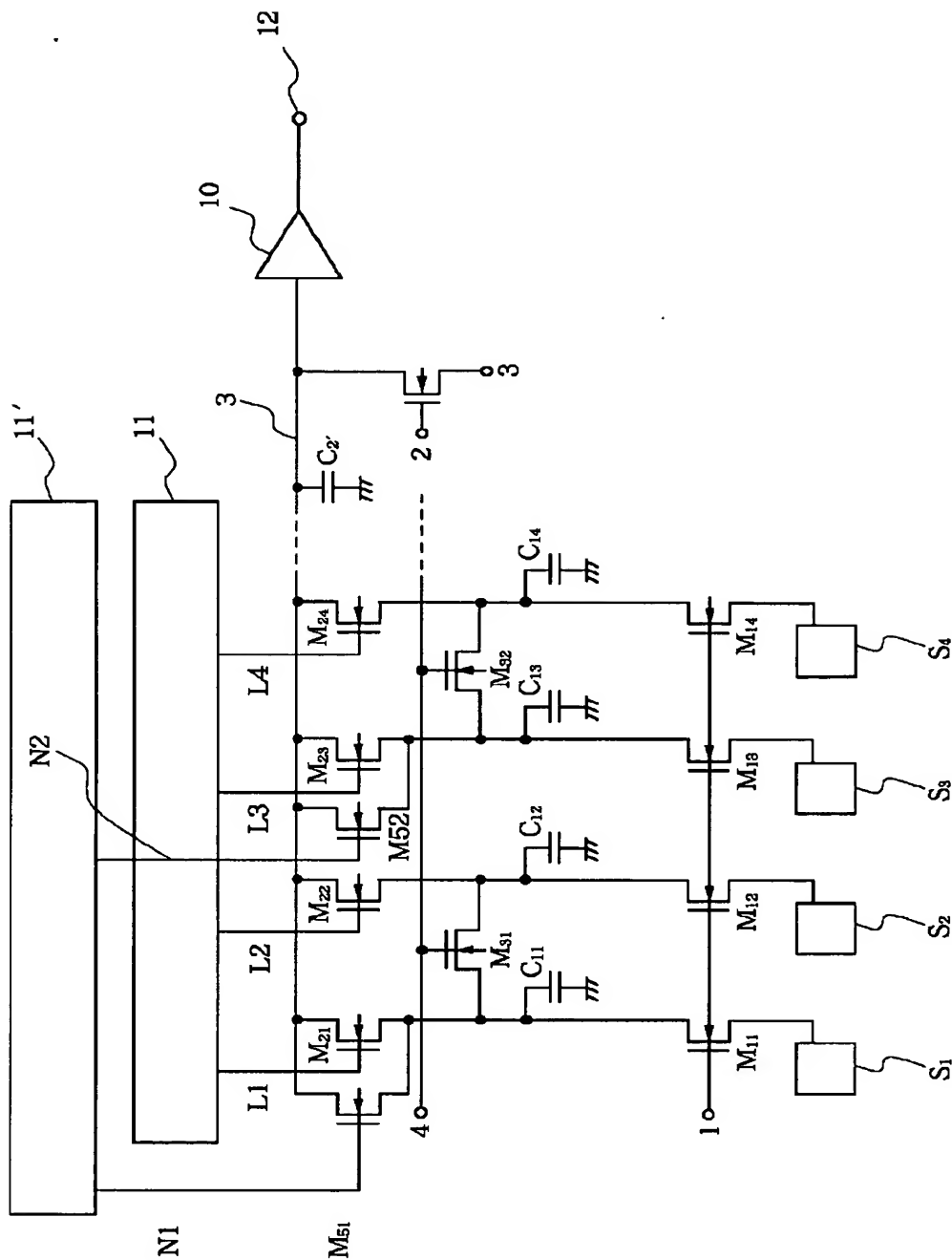
[Drawing 21]



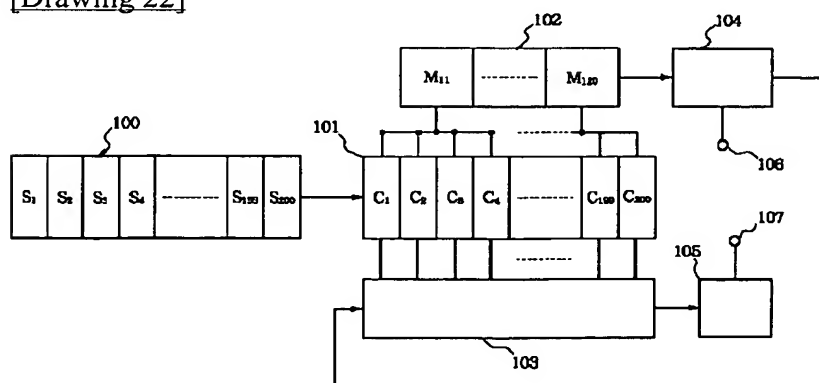
[Drawing 18]



[Drawing 20]



[Drawing 22]



[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268920

(43)公開日 平成6年(1994)9月22日

(51)IntCl⁵

H04N 5/335

識別記号

庁内整理番号

P

FI

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 20 頁)

(21)出願番号 特願平5-53894

(22)出願日 平成5年(1993)3月15日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 上野 勇武

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 宮脇 守

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74)代理人 弁理士 丸島 儀一

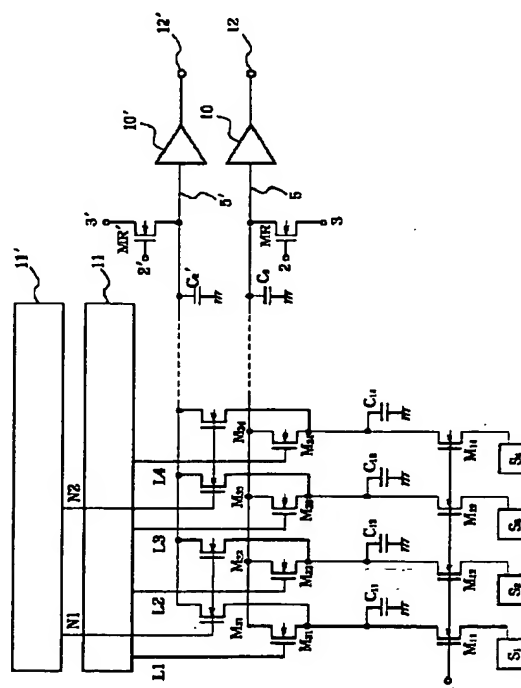
(54)【発明の名称】 信号処理装置

(57)【要約】

【目的】 簡単な回路構成で処理速度を向上させることのできる小型で低価格な信号処理装置を提供する。

【構成】 複数の信号源 (S_1-S_4) からの出力信号を保持する信号保持手段 ($C_{11}-C_{14}$) に、保持された複数の信号のうち少なくとも2つ以上を混合して複数の混合信号を出力する信号混合手段 ($M_{31}-M_{34}$) を設ける。

【効果】 信号源の数よりも少ない混合信号が得られるので信号数が少なくなっている分処理速度を高められる。この時、この混合信号は基になる複数の信号源の個別信号に対応したものであるから情報を実質的に破壊せず処理できる。



(2)

1

【特許請求の範囲】

【請求項1】 複数の信号源と該信号源からの出力信号を保持する為の複数の信号保持手段とを有する信号処理装置において、前記複数の信号保持手段に保持された出力信号のうち少なくとも2つ以上の独立した出力信号を混合して複数の独立した混合信号を出力する信号混合手段を有することを特徴とする信号処理装置。

【請求項2】 前記信号保持手段は容量素子である請求項1に記載の信号処理装置。

【請求項3】 前記信号保持手段は可変容量素子である請求項1に記載の信号処理装置。

【請求項4】 前記信号源は光電変換素子である請求項1に記載の信号処理装置。

【請求項5】 前記信号源と前記信号保持手段の間には増幅器が介在されている請求項1に記載の信号処理装置。

【請求項6】 前記増幅器は対応する前記信号源からの前記出力信号と基準信号との差分をとる回路を含む請求項5に記載の信号処理装置。

【請求項7】 少なくとも4つの信号源と該信号源からの出力信号を保持する為の複数の信号保持手段とを有する信号処理装置において、前記複数の信号保持手段に保持された出力信号のうち少なくとも2つ以上の独立した出力信号を混合して少なくとも2つ以上の混合信号を出力する為の信号混合手段と、前記複数の信号源からの出力信号をそれぞれ個別に出力する為の個別信号出力手段と、を具備することを特徴とする信号処理装置。

【請求項8】 前記信号混合手段は少なくとも2つの前記信号保持手段同士を接続するスイッチと走査回路とを含み、前記個別信号出力手段は前記信号保持手段毎に設けられたスイッチと走査回路とを含む請求項7に記載の信号処理装置。

【請求項9】 前記信号混合手段により得られた情報を基にして、前記個別信号出力手段により出力すべき個別信号を選択することを特徴とする請求項7に記載の信号処理装置。

【請求項10】 前記信号混合手段により前記複数の信号源の全てからの混合信号を出力した後、該混合信号に基づいて、前記複数の信号源のうち所定数の信号源からの個別信号を出力する請求項7に記載の信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報記憶装置や光電変換装置等に用いられる複数の個別信号を処理する信号処理装置に関する。

【0002】

【従来の技術】 リードオンリーメモリ（ROM）に代表される半導体記憶装置やイメージセンサーにおいては、メモリセルやフォトセルのような信号源からの出力信号をシフトレジスタを用いての垂直走査及び水平走査によ

2

るXYアドレス方式で順次時系列的に外部に出力するような構成が採用されている。

【0003】このような従来の信号処理装置の一例を説明する。図1及び図2はそれぞれ従来の信号処理装置の回路構成図及びその駆動タイミングチャートである。

【0004】図1において、 S_1 、 S_2 …は電圧を出力するタイプのフォトセルに代表される信号源であり、これらの光信号は、スイッチ素子としてのN型MOSトランジスタ M_{11} 、 M_{12} … M_{14} 、 M_{21} 、 M_{22} … M_{24} 及び信号保持手段としての容量素子 C_{11} 、 C_{12} … C_{14} を介して、時系列的に出力線5に出力される。

【0005】まず、時刻 t_0 において、端子1に印加されるパルスが立上ると、各セル M_{11} ～ M_{14} の光信号は、容量素子 C_{11} ～ C_{14} に読み出され保持される。その後、端子1に印加されるパルスが立下り、走査回路11が動作を開始し、時刻 t_2 において、信号線L1に選択用のパルスが出力される。この時、容量素子 C_{11} に保持されていた信号が出力線5に出力され、出力アンプ10を通して、端子12に出力される。

【0006】その後、信号線L1のパルスが立下り、時刻 t_4 において、端子2にリセット用パルスが印加されると出力線5は、端子3のリセット用基準電位にリセットされる（ t_5 ）。

【0007】このように、残りの信号源 S_2 ～ S_4 からの出力動作とリセット動作とがくり返し行われ信号源 S_1 ～ S_4 から並列に読み出され容量素子 C_{11} ～ C_{14} に保持された信号は時系列信号に変換される。

【0008】実際の信号処理装置においては、信号源は100個以上、最近では十万個以上にも及ぶようになっている。

【0009】従って信号源1個あたりの読み出し時間を短くしても全信号源からの信号を時系列信号として出力するのに必要な時間の短縮には限界がある。

【0010】一方、信号源としてフォトセルを用いるような場合には、信号源から出力される信号は可視映像であることが多い。このような映像の場合暗やみ中のマッチの火のように一つのフレームのうちごく小さな領域にのみ明信号があり残りは暗信号で占められるような場合が生じる。

【0011】このような場合であっても、従来の信号処理装置では全てのセルの信号を時系列的に出力して外部のランダムアクセスメモリに格納した後に必要な映像信号処理を行っていた。

【0012】

【発明が解決する技術課題】 従って、汎用的な装置としては従来の装置で十分であるが、ある一部分の信号のみを用いて処理するような場合には、全セルをアクセスする為に不要な信号を出力する為の時間が生じてしまい、処理速度の向上を妨げる原因になっていた。

【0013】これはフォトセルに限らず、シーケンシャル

50

(3)

3

な信号出力を行う装置に共通の技術課題となっている。

【0014】

【課題を解決する為の手段】〔目的〕本発明は上述した技術課題を解決し、処理速度を向上させることのできる信号処理装置を提供することを目的とする。

【0015】本発明の別の目的は、比較的簡単な回路構成で信号の処理が行える小型で低価格な信号処理装置を提供することを目的とする。

【0016】本発明の更に別の目的は、混合信号と個別信号とを出力する機能をもつ、1つの半導体チップに集積化できる信号処理装置を提供することにある。

【0017】〔構成〕上述した課題を解決し、上記目的を達成する為の手段（構成）は、複数の信号源と該信号源からの出力信号を保持する為の複数の信号保持手段とを有する信号処理装置において、前記複数の信号保持手段に保持された前記複数の出力信号のうち少なくとも2つ以上の独立した前記出力信号を混合して複数の独立した混合信号を出力する信号混合手段を有することを特徴とする信号処理装置である。

【0018】又、別の構成は少なくとも4つの信号源と該信号源からの出力信号を保持する為の複数の信号保持手段とを有する信号処理装置において、前記複数の信号保持手段に保持された出力信号のうち少なくとも2つ以上の独立した出力信号を混合して少なくとも2つ以上の混合信号を出力する為の信号混合手段と、前記複数の信号源からの出力信号をそれぞれ個別に出力する為の個別信号出力手段と、を具備することを特徴とする信号処理装置である。

【0019】

【作用】本発明によれば多数の信号源の独立した信号を適宜混合することにより信号源の数よりも少ない数の混合信号が得られる。

【0020】従って、処理すべき独立した信号の数が少なくなる為信号処理速度を大巾に高めることができる。又、扱う独立信号の数が少なくなる為、周辺回路の規模も小さくなり、システムへの応用性が広がる。

【0021】この時この混合信号は基になった複数個別信号を代表するものでありその情報が破壊されたものではないので、大まかな情報を処理する場合に特に有効である。

【0022】

【実施例】〔好適な実施態様の説明〕本発明においては、多数の信号源からの出力信号を全て時系列的に出力しメモリに格納してから所望の処理を行うのではなく、予め選択された群（ブロック）内の複数の信号源からの出力信号を混合した後に、該混合信号を時系列的に出力するものである。

【0023】具体例を挙げるなら、計200個の信号源のうち20個を1ブロックとして計10個のブロックに分割する。そして信号混合手段を各ブロックに設けブ

4

ック内の独立した20個信号を混合して計10個の混合信号を得る。従って、10個の混合信号を全信号源の代表信号として扱う為に、後段の信号処理システムの規模は200個ではなくその20分の1の10個の独立事象を扱う小規模なもので済む。

【0024】特にラインセンサーやエリアセンサーに代表されるイメージセンサーにおいては上述した混合すべき信号源として隣接した複数のフォトセルを指定すれば、混合しない場合に比べ解像度は低下するもののイメージを読取る動作としては通常の動作と同じである。

【0025】よって、高解像度よりもむしろ高速で全体のイメージの傾向を読取りたい場合に本発明は好適に用いられるのである。

【0026】更には、まず混合信号を得てイメージ全体の傾向を読取った後に、該イメージ内の限られた領域内のみを高解像度で読み取りたい場合には、信号混合手段の動作を制御することにより、混合信号の読み取りを行った後に、信号混合手段を非動作として必要なブロック内の各セルの個別の信号の読み取りを行うことができる。

【0027】本発明に用いられる信号源としては容量や抵抗体などの受動素子や、ダイオードやトランジスタなどの能動素子が用いられる。とりわけ信号源として好ましいのは情報をもつ電気信号を発生する光導電素子や光起電力素子等のフォトセルである。フォトセルのなかでもゲートに電荷を蓄積する電界効果トランジスタや静電誘導トランジスタ又は後述するベースに電荷を蓄積するバイポーラトランジスタを用いた非破壊読み出し型のフォトセルがより好ましく用いられる。

【0028】又、本発明に用いられる信号保持手段としては容量素子やラッチ回路が用いられ、アナログ信号を扱う場合には容量素子を含むサンプル・ホールド回路が具体的に用いられる。

【0029】そして、本発明に用いられる信号混合手段としては、複数の容量素子を接続するスイッチ素子としてのトランジスタや電荷結合素子が好ましい。

【0030】以下本発明の具体的な実施例について詳述するが、本発明はこれら実施例に限定されることなく、本発明の目的が達成される範囲内であれば構成要素の均等物への置換、材料の変更等がなされたものも含む。

【0031】（実施例1）本発明の第1の実施例を図3の回路図及び、図4に示すタイミングチャートを用いて簡単に説明する。

【0032】本実施例は信号源としてのフォトセル S_1 、 S_2 、…を1次元状に配列し、2画素単位でその平均信号を出力する様に構成したものである。

【0033】つまり、信号混合手段として、走査回路 $11'$ とスイッチ素子としてのMOSFET M_{31} 、 M_{32} … M_{34} 、出力線 $5'$ 及び容量素子 C_2' 等が設けられてい

50

(4)

5

る点が従来の構成とは異なる点である。

【0034】換言すれば、2つのセルからなる群（ブロック）単位で時系列的に処理される。

【0035】ここで、出力線5'にはリセット用MOSFETMR'が接続されており、端子2'へのクロックパルスの印加により出力線5'の容量素子C₂'の電位を端子3'の基準電位にリセットする。又、10'は10と同じ増幅器、20'は20と同様の出力端子である。

【0036】まず、時刻t₁において、端子1に信号読出し用パルスが印加され、セルS₁、S₂、…からの光信号がそれぞれ同時に容量素子C₁₁、C₁₂、…に読出される。

【0037】その後時刻t₂において、走査回路11'から出力線N₁に走査パルスが出力されると、2つのMOSトランジスタM₃₁、M₃₂が同時にON状態になり、S₁S₂に蓄積され光信号の平均信号が出力線5'の容量素子C₂'に出力され出力アンプ10'を通して増幅されて端子12'に供給される。その後時刻t₃において、端子2'にリセット用パルスが印加されると、トランジスタMR'がON状態になり、出力線5'はリセットされる。以上の走査を全ブロック分行なう事により、ブロック信号読出しが終了する。

【0038】このブロック信号により、必要なブロックの選出が終了すると、再度端子1にパルスを印加し、セルS₁、S₂…の光信号を容量素子C₁₁、C₁₂、…に読み出し、（時刻t₄）走査回路11を駆動し、各セルの光信号を今度はセル単位で時系列に読み出す。

【0039】ここで、走査回路11'を任意のセルから駆動開始し任意のセルで駆動を終了できるものにすれば、必要なブロックのみの信号を読み出すことができる。

【0040】また、セルS₁、S₂、…が非破壊読出し可能なものなら、ブロック読み出しで得られた画像情報と実質的に同一時刻の光信号を取り出すことも可能である。

【0041】非破壊読出し型のセンサとしては、発明者大見忠弘と田中信義に付与された「光電変換装置（Photoelectric converter）」という名称の米国特許第4,791,469号の明細書或いは発明者田中らに付与された「固定パターンノイズの低減された光電変換装置（Photoelectric conversion device with reduced fixed pattern noise）」というタイトルの米国特許第4,810,896号の明細書に記載されている、容量負荷にエミッタが接続されたバイポーラトランジスタのベースに光生成された電荷を蓄積するのを用いることが望ましい。

【0042】（実施例2）図5は本発明の第2の実施例による信号処理装置の回路図である。実施例1と異なる

6

点は1つの信号源からの出力信号を増幅器と2つのスイッチ素子を介して2つの容量素子で保持する点である。こうして、実施例1では2回行う必要のある容量素子への信号保持動作を1回で済ませることができる。

【0043】動作を簡単に説明すると、まず、端子1にパルスが印加され全セルS₁—S₄の信号が増幅器A₁—A₄にて増幅され容量素子C₁₁—C₁₄、C₁₁'—C₁₄'に同時に保持される。

【0044】次に、走査回路11'により2つのMOSFETM₃₁、M₃₂がオンすることにより2つの容量素子C₁₁'、C₁₂'に保持されている出力信号の平均値が容量素子C₂'に現われ増幅器10'により更に増幅されて端子12'に出力される。その後、出力線5'の電位がリセット用MOSFETMR'によりリセットされた後、シフトパルスN₂により2つの容量素子C₁₃'、C₁₄'に保持された出力信号の平均が出力される。これを順次行いブロック毎の平均値を時系列的に端子12'へ出力する。

【0045】その後は、各セルの信号を順次出力する為に、走査回路11が動作し、シフトパルスが順次出力線L₁—L₄に供給されて容量素子C₁₁—C₁₄に保持されている各セルの出力信号が順次時系列に端子12へ出力される。

【0046】本実施例においては、信号源として破壊読出し型のセルを用いることができる。

【0047】又、増幅器A₁—A₄は必要に応じて設けられるものであり、信号源の出力インピーダンスが十分に低いものであれば増幅器は省略できる。

【0048】（実施例3）図6及び図7に、本発明の第3の実施例による信号処理装置の回路図及びその駆動タイミングチャートを示す。

【0049】本実施例3においては、グループ内の容量素子同士を共通に接続するスイッチ素子が設けられている。

【0050】本実施例は前述した実施例1に対して、走査回路を1つにする。ということと、駆動方法を簡単にすることという2つの特徴がある。

【0051】時刻t₁において、端子1にパルスが印加され、セルS₁、S₂…からの光信号が容量素子C₁₁、C₁₂…に同時に読み出される。

【0052】その後、時刻t₂において、端子4にパルスが印加されるとスイッチ素子としてのMOSトランジスタM₃₁、M₃₂、…がオン状態になる。こうして、容量素子C₁₁とC₁₂、又、容量素子C₁₃とC₁₄がそれぞれ共通に接続されるため、2つの容量素子C₁₁、C₁₂…に読み出された信号電圧をそれぞれV₁、V₂、…、2つの容量素子が接続された後の電圧をV_{c12}、V_{c12}、…とすると、

【0053】

【外1】

(5)

$$V_{c11} = V_{c12} = \frac{C_{11}V_1 + C_{12}V_2}{C_{11} + C_{12}} \dots (1)$$

$$V_{c13} = V_{c14} = \frac{C_{13}V_3 + C_{14}V_4}{C_{13} + C_{14}} \dots (2)$$

となる。

【0054】次に、時刻 t_4 において、走査回路からのパルスが出力線L1に印加されると、MOSトランジスタM21がオン状態になり、2つの容量素子C11及びC12上の信号は出力線5に転送される。この時の出力線5に現われる電圧を V_0 、出力線5のリセット電位である端子3の電位を0Vとすると、両者は、

【0055】

【外2】

$$V_0 = \frac{(C_{11} + C_{12})V_{c11}}{C_{11} + C_{12} + C_2} \dots (3)$$

の関係で示される。

【0056】次いで、出力線5の電位がリセットされた状態で、出力線L2にパルスが印加されMOSトランジスタM22がオンするので容量素子C12の信号は出力されずにリセットされる。その後は同様に平均値の出力とリセットがくり返される。

【0057】ここでL2やL4に印加されるパルスはリセット動作の為L1やL3へのパルスに比べて実際には極めてパルス巾で済むので平均値出力の為の走査時間は全セルの走査時間に比べて短い時間で済む。

【0058】次いで、時刻 t_6 で再びセル $S_1 - S_4$ の信号が容量素子C11-C14に保持される。その後は端子4に印加されるパルスはローレベルのまま、順次MOS FETM21-M24がオンにすることにより、各容量素子C11-C14に保持された信号が順次時系列的に端子12に現われる。

【0059】尚、本実施例3においても、実施例1に対する実施例2のごとく、信号源の出力に増幅器を設ける構成及び/又は1信号源当たり、複数の保持手段を設ける構成を採用することにより、信号源から保持手段への読出し動作は1回で済み、信号源として破壊読出し型の光電変換セルも採用できるという効果が得られる。

【0060】(実施例4)図8に本発明の第4の実施例による信号処理装置の回路図を示す。

【0061】本実施例4は前記実施例1を2次元センサに適用し、縦方向の複数画素(セル)(本実施例では2画素)の平均信号を出力する様にしたものである。

【0062】本実施例の動作を図9のタイミングチャートを用いて簡単に説明する。

【0063】まず時刻 t_1 において、垂直走査回路40から駆動選択線H1にパルスが印加される。この時点から1行分のセル S_{11} 、 S_{12} 、 S_{13} 、 S_{14} から光信号が垂直線51、52、53、54にそれぞれ読出され、時刻

8

t_2 において端子30にパルスが印加されると、MOSトランジスタM11、M12、M13、M14がオン状態になり、容量素子C11、C13、C15、C17に保持される。

【0064】その後、時刻 t_3 において、同様に次の行の信号 S_{21} 、 S_{22} 、 S_{23} 、 S_{24} がそれぞれ容量C12、C14、C16、C18に読み出される。

【0065】その後、水平走査回路11'から出力線L1、L2、L3、L4にパルスが逐次印加され、2つの容量素子C11とC12、C13とC14、C15とC16、及びC17とC18に蓄積された1対の光信号の平均信号が端子20に出力される。

【0066】このように、2つの駆動選択線上の1列方向に隣接するセルの平均信号が順次時系列的に出力された後は、次の2つの駆動選択線H3、H4が選択されて2つの列方向に隣接するセルの平均信号が順次時系列的に出力される。

【0067】(実施例5)図10は本発明の実施例5による信号処理装置の回路図である。本実施例5は前述の実施例3を2次元センサに応用したものである。本実施例による信号混合動作は2行毎に容量素子への信号保持が終了した後、端子4にパルスを印加し、2つの容量素子を接続して平均信号を得て続いて該平均信号を順次走査する。

【0068】図11は本実施例5の駆動タイミングチャートである。

【0069】まず、駆動選択線H1を選択するとともに端子30にクロックパルスを印加してMOSトランジスタM11-M14をオンして容量素子C11、C13、C15、C17に信号を保持させる。次に駆動選択線H2を選択するとともに端子31にパルスを印加してMOSトランジスタM21-M24をオンしてもう一方の容量素子C12、C14、C16、C18に信号を保持させる。

【0070】次いで端子4にパルスを印加してMOSトランジスタM31-M34をオンしてそれぞれ一対の容量素子を接続し垂直ライン毎に2つのセルの出力信号の平均値を得る。その後は端子2へのリセットパルスの印加と出力線L1-L4へのパルスの印加の組合わせにより平均値の出力とリセット動作がくり返し行われる。

【0071】その後は、図12に示されるように駆動選択線H1-H4を順次1つずつ選択して容量素子C11、C13、C15、C17に信号を保持した後、パルスL1、L3により順次走査されるので各セル毎の出力信号が時系列信号として端子12に増幅されて現われる。

【0072】(実施例6)図3は本発明の第6の実施例による信号処理装置の回路図である。

【0073】本実施例においては隣接するセル S_{11} 、 S_{21} 、 S_{12} 、 S_{22} という4つのセルからの信号を保持後、混合し4つの信号の平均値が得られるようにされている。

【0074】図14、図15は本実施例の駆動

9

グチャートである。

【0075】本実施例においては隣接する4つのセルからの信号を保持した後混合して、パルスL1により端子12にその平均値を増幅して出力し、その後リセット動作を期間T_{RS}中に行い、続いて次の隣接する4つのセルからの保持された信号を混合し出力し、再びリセット動作を行う。

【0076】こうして4ブロックの平均値を得た後に、図15に示すように各セルからの信号を順次端子12に出力する。

【0077】（実施例7）図16に本発明の第7の実施例を示す。

【0078】本実施例7は、説明の簡略化の為、信号源S₁、S₂、S₃、S₄を1次元状に配列し、各信号源からの信号とともに隣接する信号の平均信号も出力する様にしたものである。

【0079】本実施例の動作を図17のタイミングチャートを用いて、簡単に説明する。

【0080】まず、時刻t₀において、端子1のパルスが立ち上がり、MOSトランジスタM_{ij}（i=1~4、j=1~3）がオン状態になり、各信号源から、信号が容量素子C_{ij}（i=1~4、j=1~3）に読出される。ここで、各信号源S_i（i=1~4）にはそれぞれ、3つの容量素子C_{ij}（j=1~3）が並列接続されており、この3つの容量素子にはS_iからの同じ信号が読み出される。

【0081】また、この時C_{i2}=2C_{i1}=2C_{i3}=C（i=1~4）に設定しておく。時刻t₄、及び時刻t₈にそれぞれL1、L2のパルスが立ち上り、それぞれC₁₁、C₁₂上の信号が出力線5上に読出され、端子12に出力される。この時、C₁₁、C₁₂上の信号電圧をV₁とすると、端子3のリセット電圧をGNDとすると、V₁が出力線5上に読出された時の電圧はそれぞれ

【0082】

【外3】

$$\frac{C_{11}V_1}{C_{11}+C_2}, \frac{C_{12}V_1}{C_{12}+C_2} \left(= \frac{CV_1}{C+C_2} \right) \dots (4)$$

$$f'(i, j) = 5f(i, j) - \{f(i+1, j) + f(i-1, j) + f(i, j+1) + f(i, j-1)\} \dots (6.2)$$

に変換する手法が知られている（Rosenfeld, *esSing, Academic Press）。

Kak: 「Digital Picture Proc* 【0089】

$$f'(i) = 3f(i) - \{f(i-1) + f(i+1)\} \dots (6.3)$$

1次元画像データに対しても同様に変換する手法が有効である。つまり、元画像からその画像のラプラシアン（水平・垂直方向の隣接する画像の平均値）を引くことにより、画像のぼけを弱め、画像の鮮鋭化が実現できる。

【0090】本実施例の動作を図18を用いて簡単に説明する。

(6)

10

次に、時刻t_gにおいて、L3のパルスが立ち上がると、MOSトランジスタT₁₃、T₂₁が同時にオン状態になり、C₁₃及びC₂₁上の電圧が出力線5上に読出される。C₂₁、C₂₂、C₂₃上の信号電圧をV₂とすると、この時、出力線5上に読出される信号電圧は

【0083】

【外4】

$$\frac{C_{13}V_1 + C_{21}V_2}{C_{13} + C_{21} + C_2} = \frac{\frac{1}{2}C(V_1 + V_2)}{C + C_2} \dots (5)$$

となり、これは、信号源S₁及びS₂からの信号の平均が出力された事になる。

【0084】この様な一連の動作により、まずS_iの信号の出力、次にS_i、S_{i+1}の平均信号の出力、続いてS_{i+1}の信号の出力というように本来の信号源の信号の間に、隣接する信号源の平均信号が、シリアルに出力されることにより、疑似的に解像度を向上させることができる。

【0085】尚、本実施例では、説明の簡略化の為、信号源は、1次元状の配列としたが、信号源を2次元状に配列し、縦方向の信号に対しても、同じ動作を行なえば、2次元状に、解像度を向上させることができる。

【0086】（実施例8）本発明の第8の実施例として、フォトセルからの信号を、輪郭強調した信号として出力する例がある。

【0087】画像の鮮鋭化として、よく用いられる手法として、ラプラシアン

【0088】

【外5】

$$\nabla^2 f = \frac{\partial^2 f}{\partial x^2} + \frac{\partial^2 f}{\partial y^2} \dots (6.1)$$

を用い、2次元画像データに対して各画素の信号f（i, j）を、

50

(7)

11

= 1 ~ 4, j = 1 ~ 3) に読出す。次に走査回路 12 により、容量 C_{ij} に保持された信号を出力線 5 に転送する際に、従来例と異なる。つまり、例えば、L1 にパルスが印加されると MOS トランジスタ T_{13} 、 T_{22} 、 T_{31} がオン状態になり、容量 C_{22} に保持された電荷は出力線 5 に転送されると同時に、容量 C_{13} 、 C_{31} に保持された電荷は出力線 5' に転送される。ここで容量 C_{13} 、 C_{22} 、*

$$V_5 = \frac{C_{22}V_2}{C_{22}+C_1} = \frac{3CV_2}{3C+C_1} \dots (6.5)$$

$$V_{5'} = \frac{C_{13}V_1+C_{31}V_3}{C_{13}+C_{31}+C_2'+C_0} = \frac{C(V_1+V_3)}{2C+C_2+C_3'} \dots (6.6)$$

になる。ここで、 C_3 及び C_3' は主に出力線 5、5' に接続される MOS トランジスタ T_{mn} ($m=1 \sim 4$, $n=1 \sim 3$) のドレイン寄生容量及び配線容量であり、本実施例においては、出力線 5 にダミーの MOS トランジスタを接続し、配線形状を同じくする事により、 C_3 、 C_3' を一致させる事ができ、かつ、ダミー容量 C_D を C に設定することにより、(6.5)、(6.6) の分母を同じくすることができる。従って $V_5 - V_{5'}$ を差分を 30 によって得ることによって、(6.3) 式の演算を、光電変換装置上で行なうことができ、画像を鮮鋭※

$$f''(i) = 2f(i) - \{f(i-1) + f(i+1)\} - (6.7)$$

の演算を行なうことにより、輪郭部分の像のみを出力することもできる。具体的には図 18 上の信号保持容量の値を $C_{i2} = 2C_{i1} = 2C_{i3} = 2C$ ($i=1 \sim 4$) - (6.8) に設定することにより、実現できる。

【0096】また、これは 2 次元光電変換装置の場合も全く同様に、実現できることは明かである。また、本実施例では、保持容量を (6.4)、(6.8) 式の値に設定しているが、必要に応じて、この値を変更することは簡単である。

【0097】さらに、容量素子を、MOS 容量で構成した場合、ゲート、基板間の電圧に対して、容量値は図 19 の様な特性を示すことが知られている。従って、本発明においても、保持手段を MOS 容量で構成し、基板電位を変える事により、その容量値を外部から調整できる。

【0098】(実施例 9) 図 20 に本発明の実施例 9 による信号処理装置の回路図を、図 21 にその駆動タイミングチャートを示す。

【0099】本実施例では平均値を順次出力する為の走査回路 11' と MOS トランジスタ M_{51} 、 M_{52} を設けた点が図 6 に示した実施例 3 と回路上異なる点である。

【0100】本実施例においては、まず時刻 t_1 において端子 1 にハイレベルのパルスが入力し、全セル $S_1 - S_4$ の出力信号が容量素子 $C_{11} - C_{14}$ にそれぞれ保持される。次に時刻 t_2 に端子 4 にハイレベルのパルスが印加され隣接する 2 つの容量素子同士が接続され信号を混

12

* C_{31} に保持された信号電圧をそれぞれ V_1 、 V_2 、 V_3 とすると、この転送動作により、出力線 5、5' の電位は、出力線 5、5' のリセット電位 (端子 3、3' の電位) を GND レベルとして

【0093】

【外 6】

※化することができる。

【0094】本実施例では説明を簡単にする為、1 次元光電変換装置を例に挙げたが、2 次元光電変換装置の場合も全く同様に、(6.2) 式の演算を同一チップ上で行なうことにより、画像を鮮鋭化させることができることは明かである。

20 【0095】また、本実施例では、画像の輪郭強調を目的とする為、(6.3) 式を用いた演算を行なっているが、

合する。時刻 t_3 にて端子 2 にハイレベルのパルスが印加され共通の出力線 5 が一旦端子 3 のリセット電位にリセットされる。

【0101】次に時刻 t_4 にて走査回路 11' よりハイレベルのパルスが MOS トランジスタ M_{51} のゲートに 30 入力されて平均値が出力される。

【0102】このようにして順次走査回路 11' のハイレベルのパルスがシフトして平均値出力を時系列的に増幅して端子 12 に出力する。

【0103】平均値の出力が終了すると、次に各セルの個別信号の出力動作を行う。時刻 t_5 にて全セル $S_1 - S_4$ の信号を容量素子 $C_{11} - C_{14}$ に保持する。次いで、走査回路 11 より時刻 t_6 にハイレベルのシフトパルスが MOS トランジスタ M_{21} のゲートに印加されセル S_1 の信号が端子 12 に出力される。ハイレベルのパルスが出力線 L1 - L4 をシフトしていくことにより、全セルの信号が順次時系列信号として増幅されて端子 12 に現われる。

【0104】図 22 は本発明による信号処理装置を用いたシステムを示すブロック図である。信号源としてのセルアレイ 100 からの 200 個全ての出力信号は信号保持手段としてのサンプル・ホールド回路 101 に 200 セル分の信号として個別に保持される。

【0105】該保持された信号を用いて信号混合手段 102 によりまずは隣接する 4 つの信号を混合し、独立した 50 50 個の混合信号を生成する。混合信号処理回路 10

(8)

13

4では圧縮された信号を処理して高解像度の信号処理を行うべき領域を決定し領域指定信号を個別信号処理回路103に供給する。個別信号処理回路では指定された領域として例えば $S_1 - S_4$ の第1ブロックが指定されれば、該第1ブロックに対応するサンプル・ホールド回路101の個別信号のみを取り出して信号処理を行う。

【0106】このようにして出力端子106からは圧縮された混合信号による低解像度（低密度）の情報が得られるので、全信号の大まかな情報が得られる。一方、出力端子からは特定の領域の高解像度（高密度）の情報が得られるので、全信号のうち一部の詳細な情報を得ることができる。

【0107】

【発明の効果】本発明によれば、信号源の数より少ない数の混合信号を処理すればよいので、信号の処理速度が向上する。

【図面の簡単な説明】

【図1】従来の信号処理装置の回路図である。

【図2】従来の信号処理装置の駆動タイミングチャートである。

【図3】本発明の実施例1による信号処理装置の回路図である。

【図4】実施例1による信号処理装置の駆動タイミングチャートである。

【図5】本発明の実施例2による信号処理装置の回路図である。

【図6】本発明の実施例3による信号処理装置の回路図である。

【図7】実施例3による信号処理装置の駆動タイミングチャートである。

【図8】本発明の実施例4による信号処理装置の回路図である。

【図9】実施例4による信号処理装置の駆動タイミング

14

チャートである。

【図10】本発明の実施例5による信号処理装置の回路図である。

【図11】実施例5による信号処理装置の駆動タイミングチャートである。

【図12】実施例5による信号処理装置の駆動タイミングチャートである。

【図13】本発明の実施例6による信号処理装置の回路図である。

【図14】実施例6による信号処理装置の駆動タイミングチャートである。

【図15】実施例6による信号処理装置の駆動タイミングチャートである。

【図16】本発明の実施例7による信号処理装置の回路図である。

【図17】実施例7による信号処理装置の駆動タイミングチャートである。

【図18】本発明の実施例8による信号処理装置の回路図である。

【図19】本発明に用いられる容量素子としての可変容量の特性を示す線図である。

【図20】本発明の実施例9による信号処理装置の回路図である。

【図21】実施例9による信号処理装置の駆動タイミングチャートである。

【図22】本発明の信号処理装置を用いた信号処理システムのブロック図である。

【符号の説明】

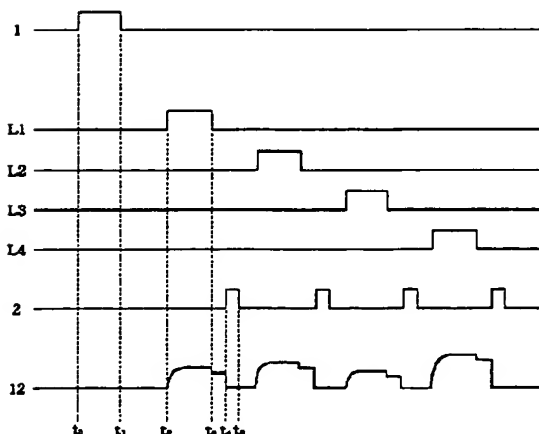
S_1 、 S_2 、 S_3 、 S_4 信号源

30 C_{11} 、 C_{12} 、 C_{13} 、 C_{14} 信号保持手段

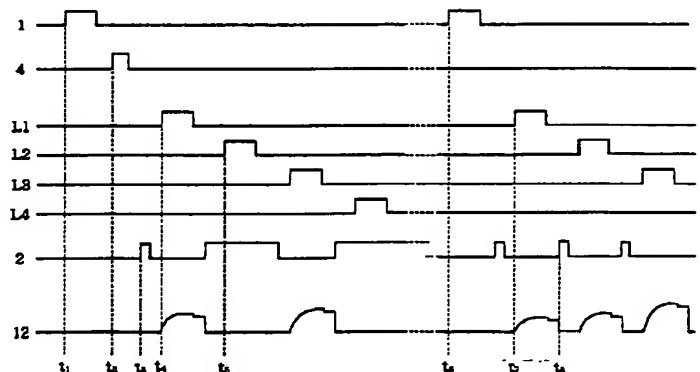
M_{31} 、 M_{32} 、 M_{33} 、 M_{34} 信号混合手段

11、11' 走査回路

【図2】

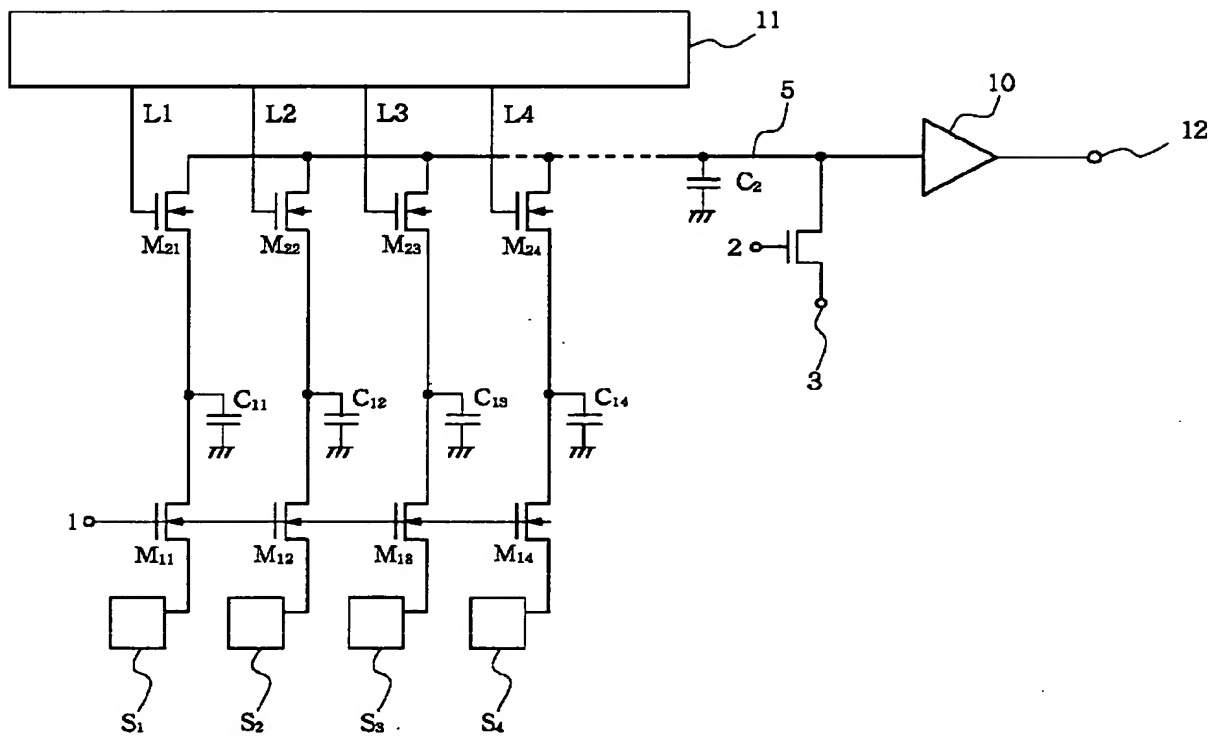


【図7】

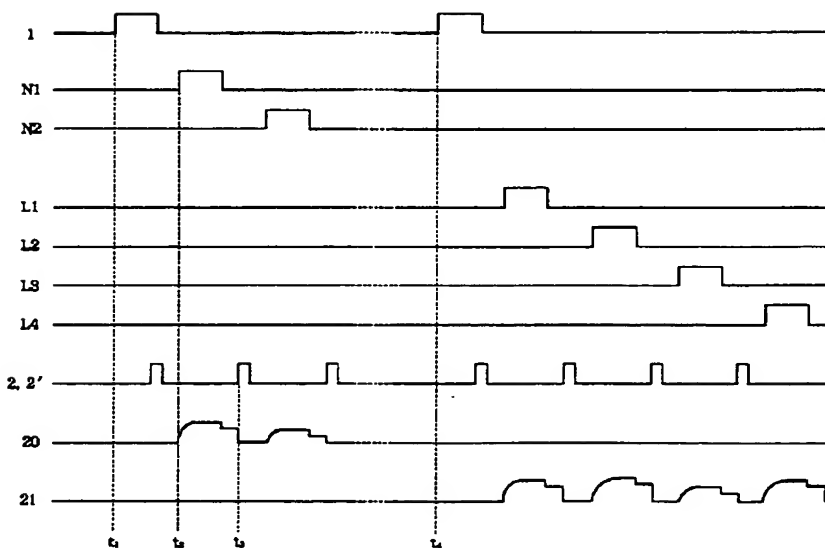


(9)

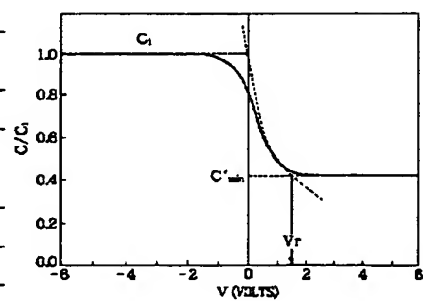
【図1】



【図4】

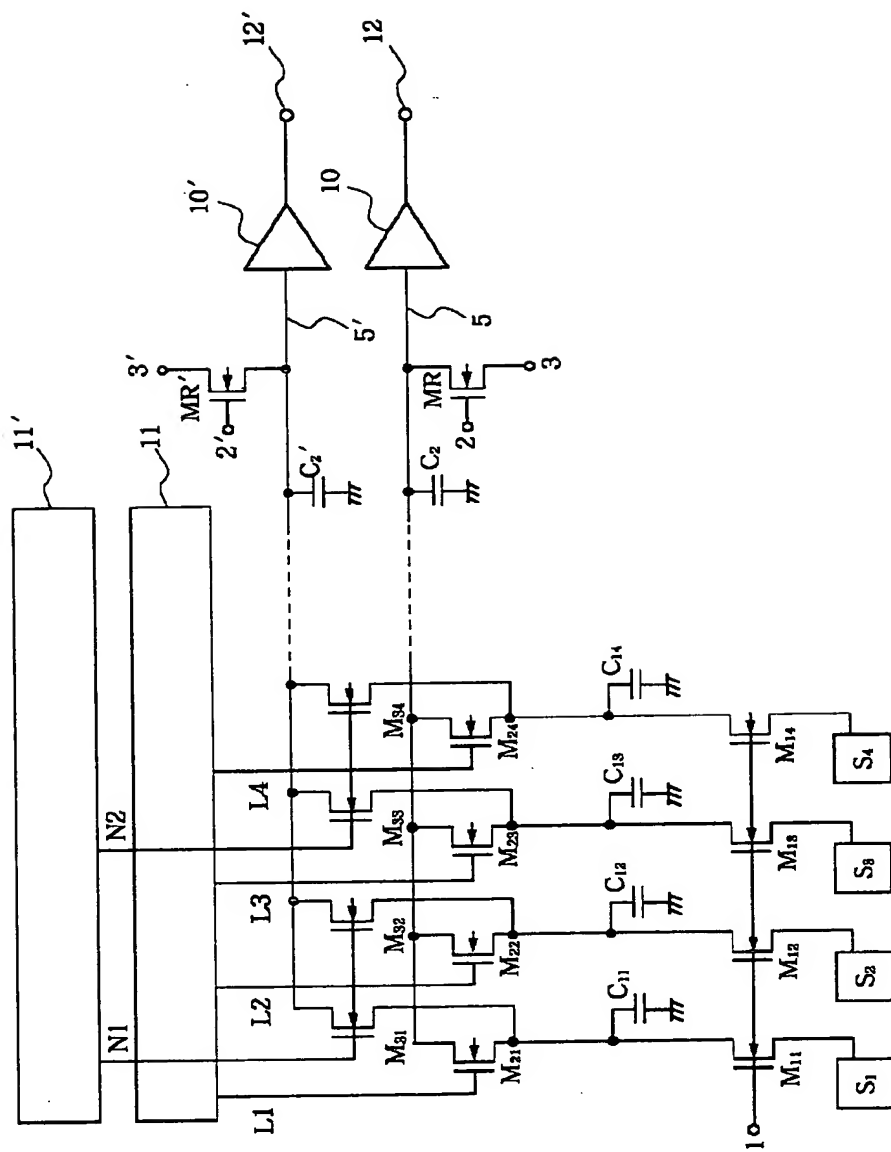


【図19】



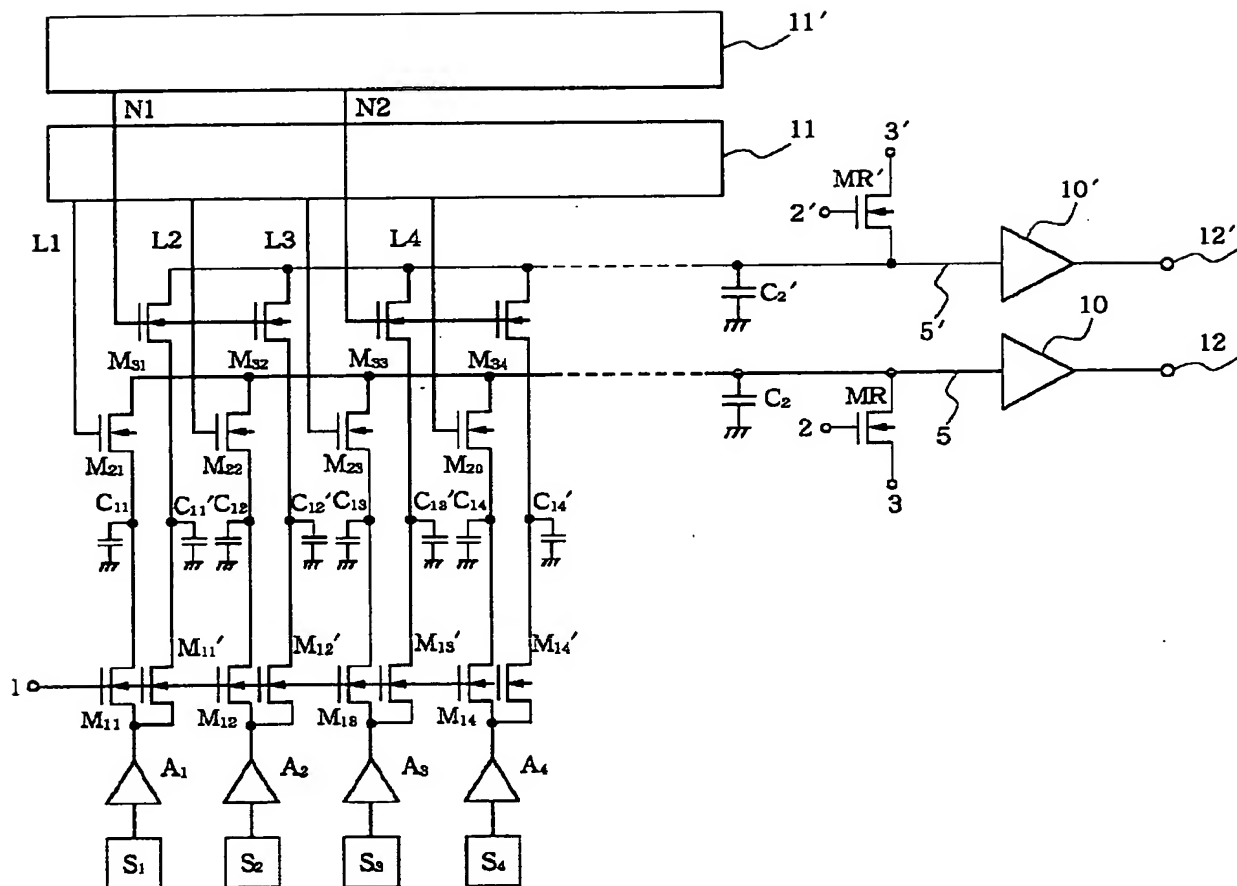
(10)

【図3】

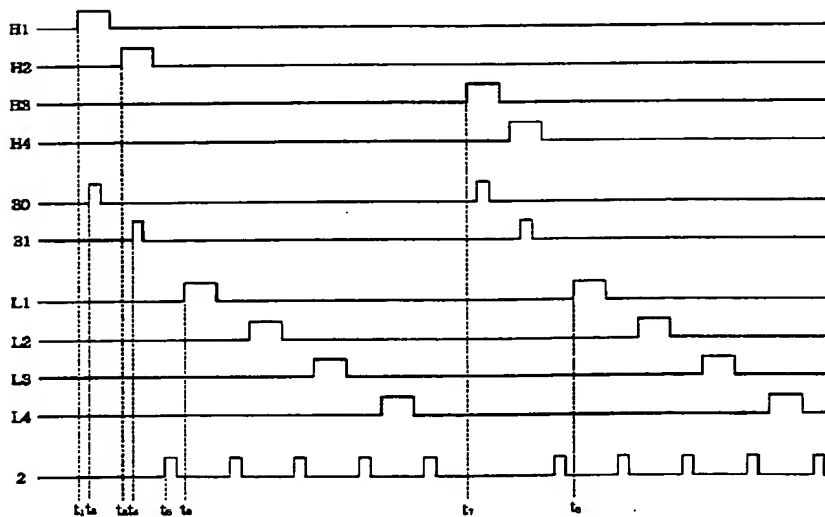


(11)

【図5】

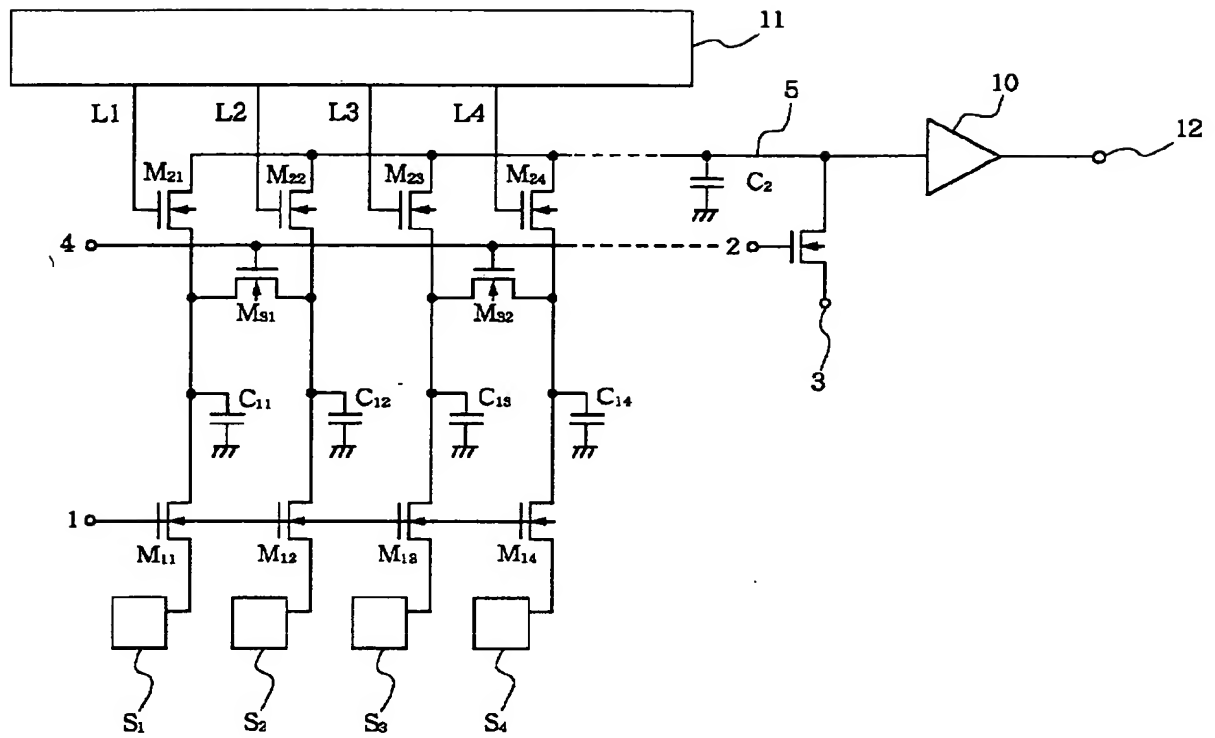


【図9】

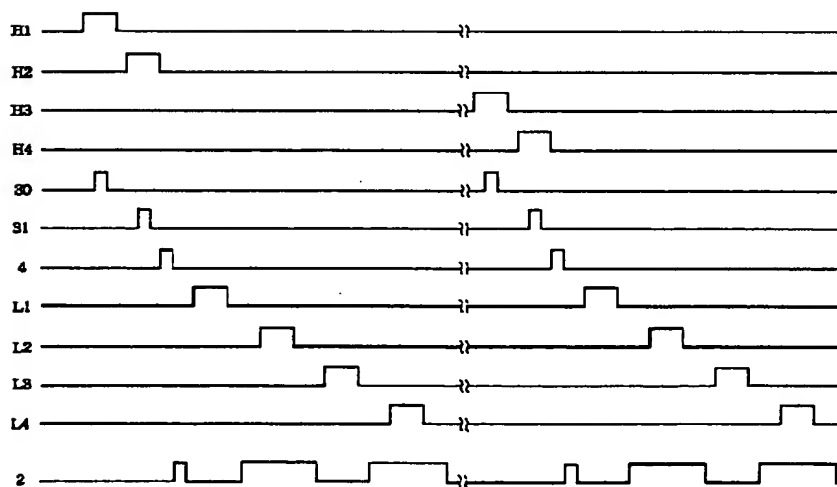


(12)

【図 6】

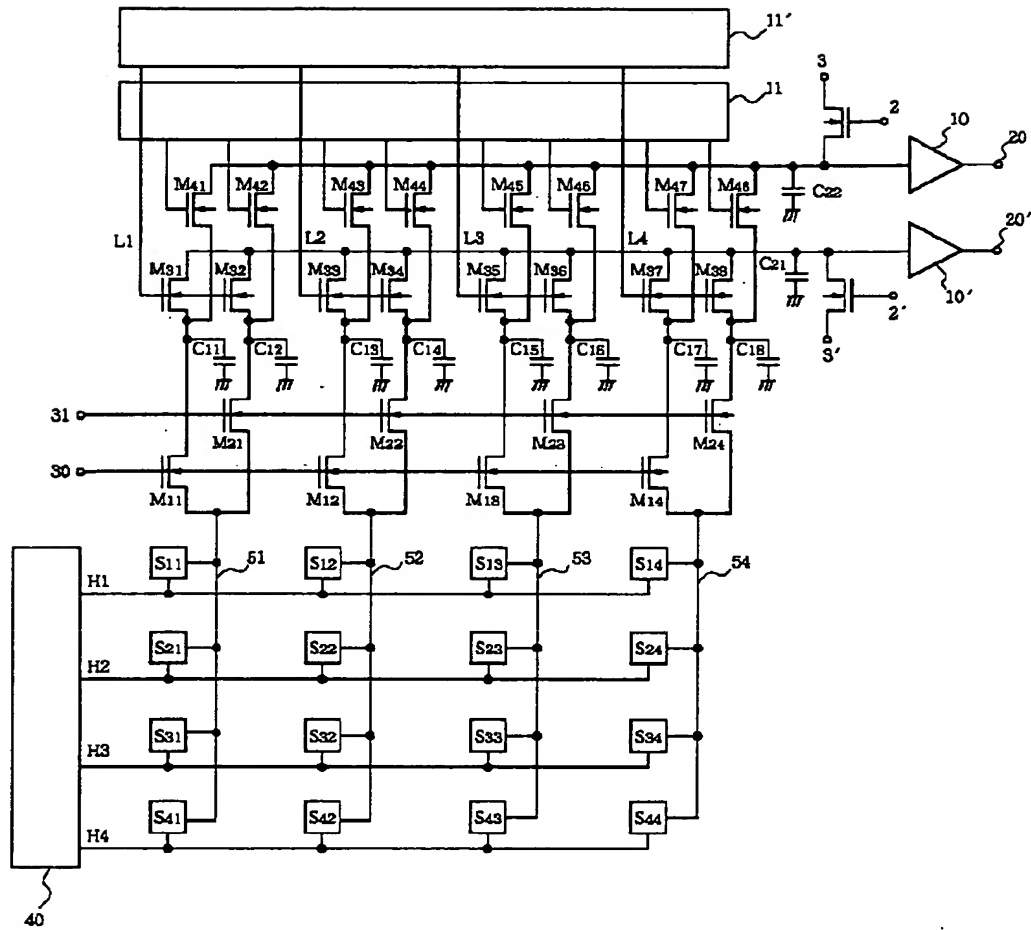


【図 11】

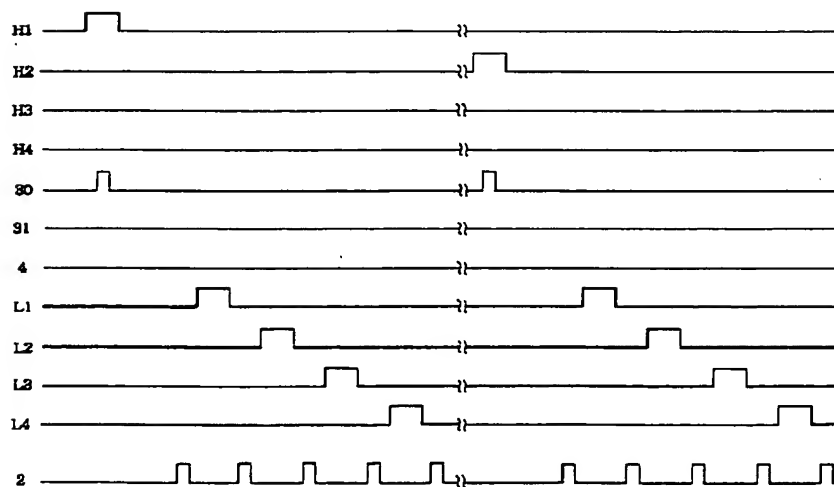


(13)

【図8】

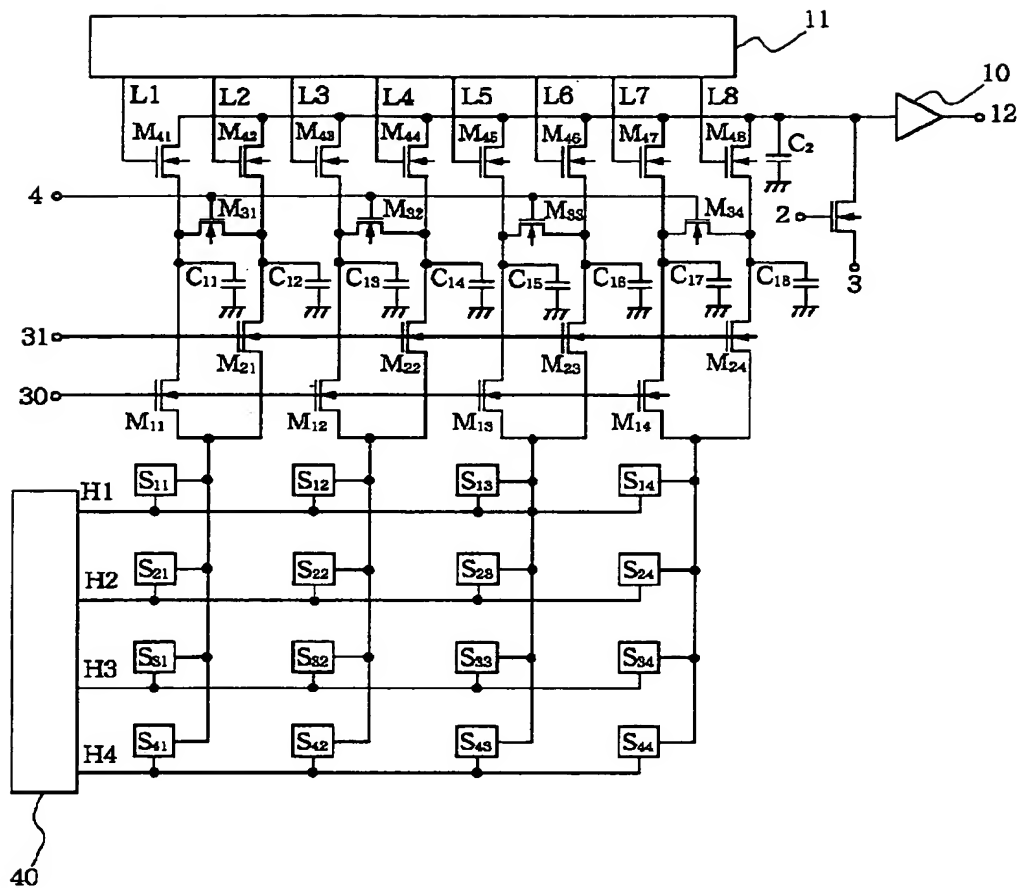


【図12】

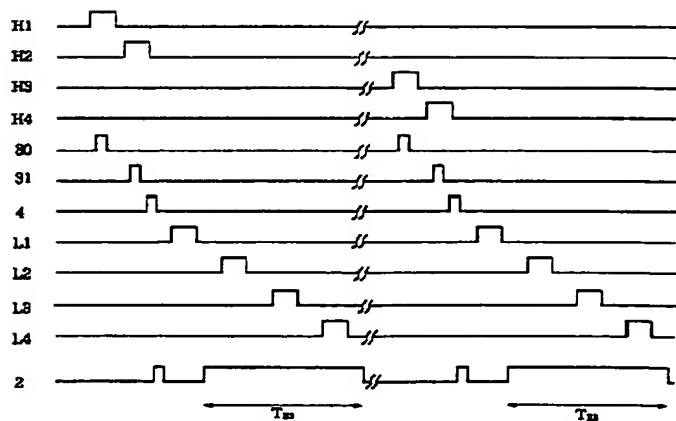


(14)

【図 10】

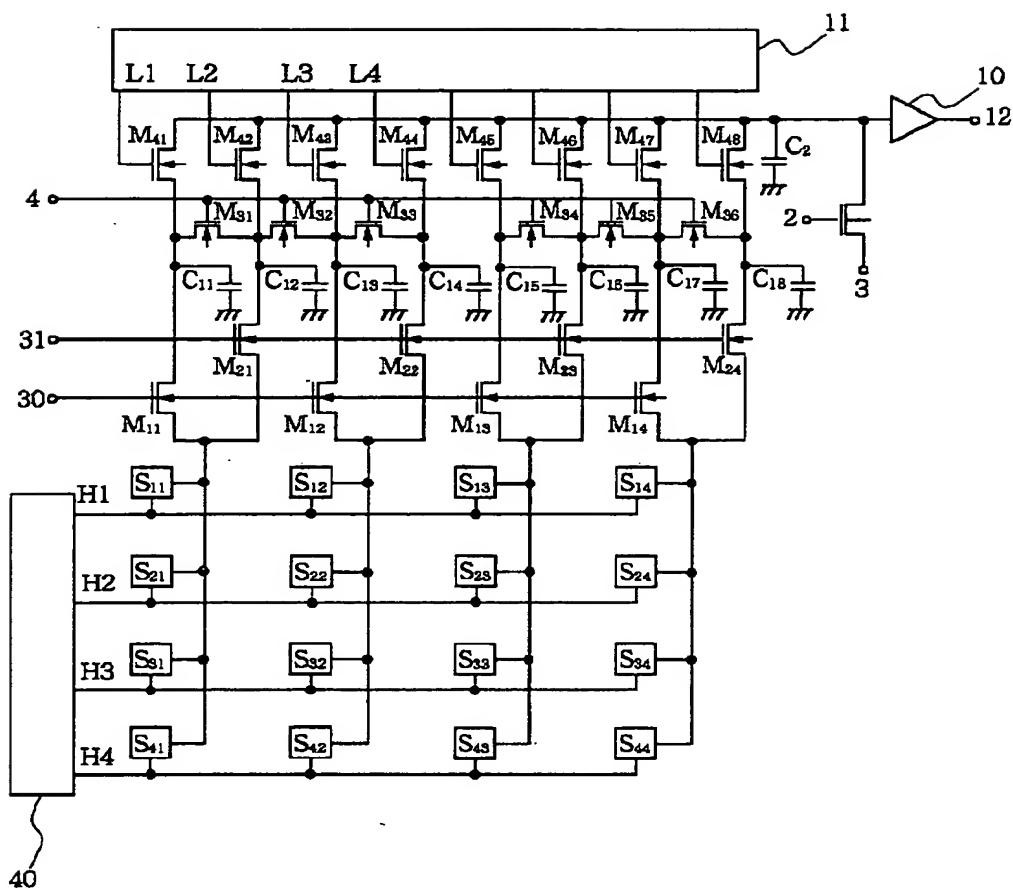


【図 14】

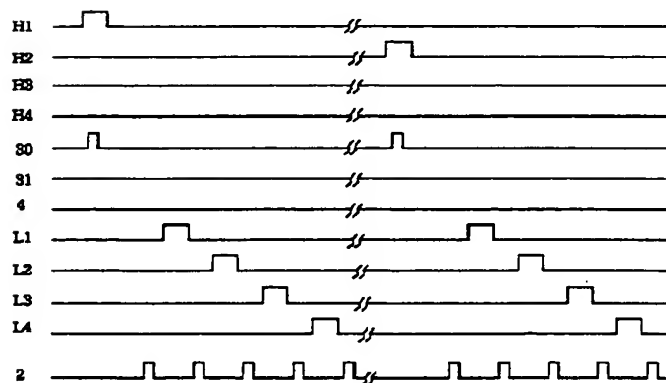


(15)

【図13】

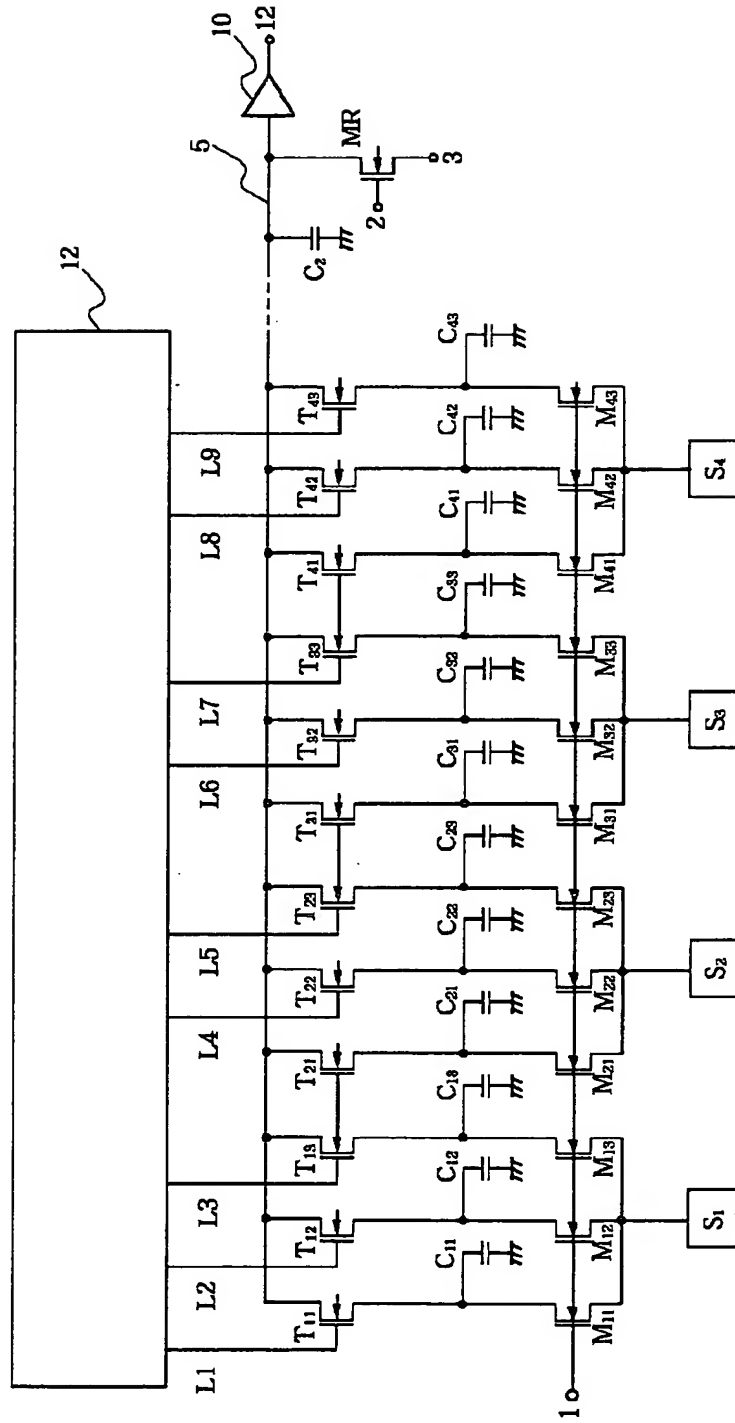


【図15】



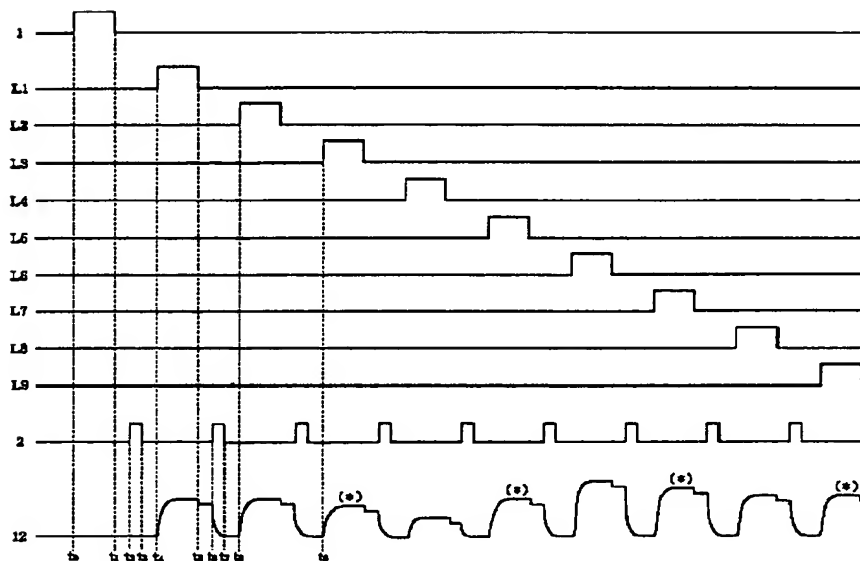
(16)

【図16】

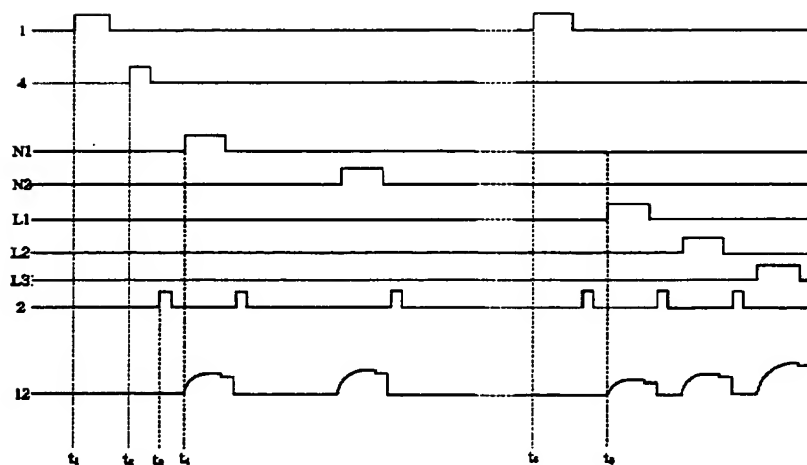


(17)

【図17】

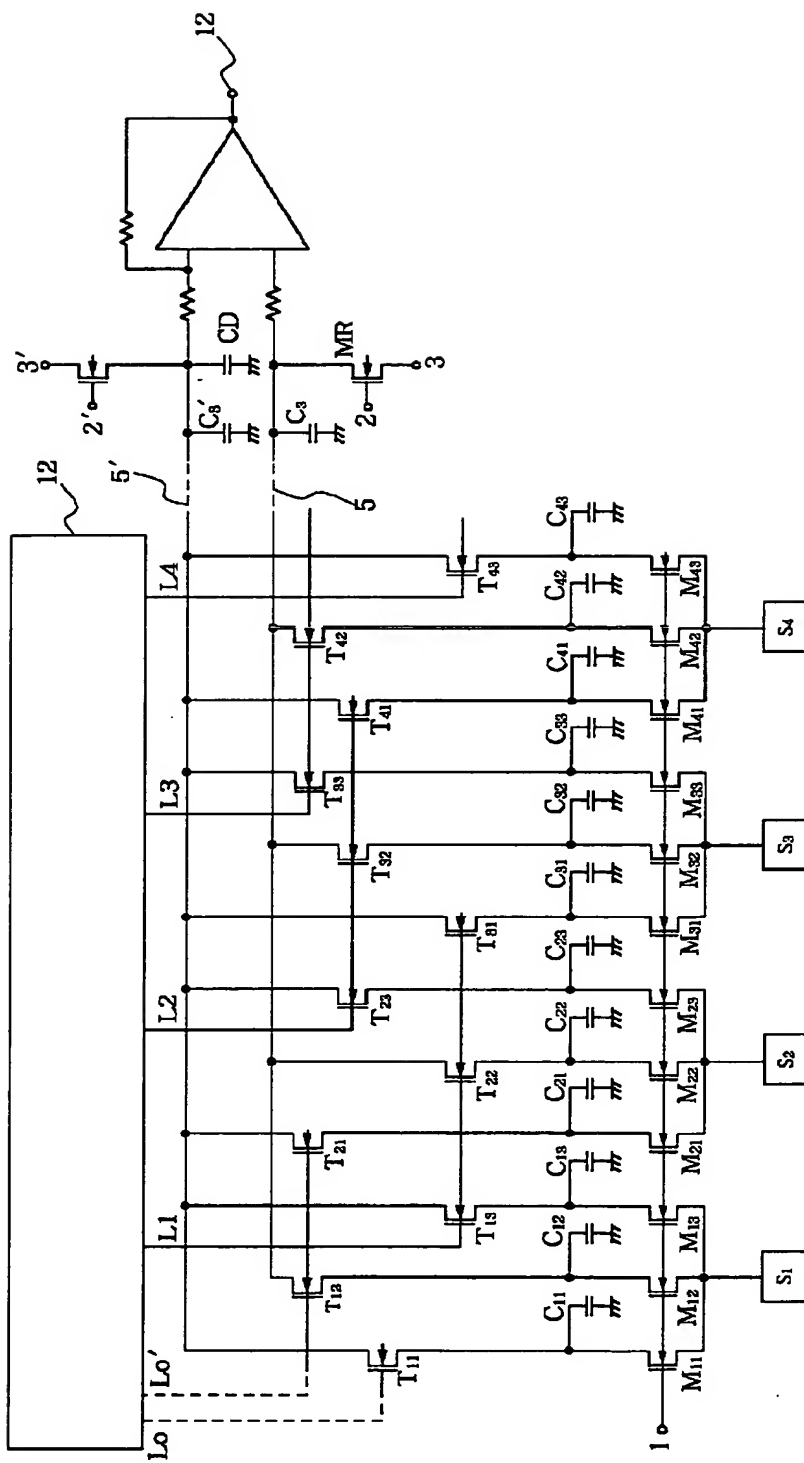


【図21】



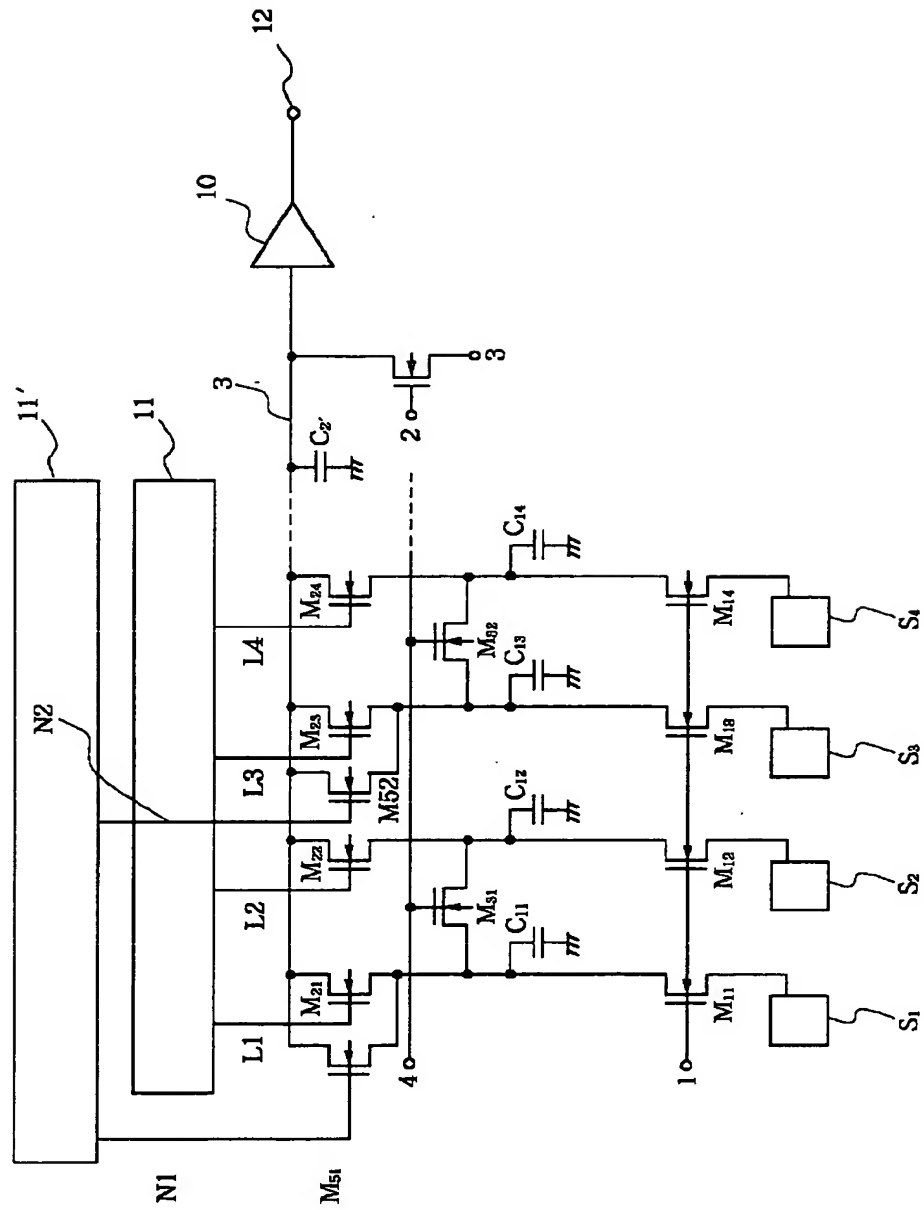
(18)

【図18】



(19)

【図20】



(20)

【図22】

